

应用指南AN-106Q

适合汽车应用

InnoSwitch3-AQ产品系列

设计指南

1 简介

汽车应用中使用的电源通常比商业或工业固定式应用中的电源承受更为恶劣的条件。汽车电源经常暴露在宽温度范围、冲击和振动、外来颗粒和污染物以及高水平EMI的环境中。对于电动汽车而言，母线电压可能高达1000VDC，因此还必须考虑高压直流和瞬态的影响。根据车辆中的负载、输入电压和电源位置，必须考虑前面所述的条件，以确保电源安全、稳定和可靠地工作。

在许多汽车应用中，电源是ISO26262功能安全概念的一部分。必须通过适当的设计实现可靠性。本应用指南依据ISO26262标准阐述电源设计。

InnoSwitch™3-AQ系列IC可大大简化汽车应用中隔离反激式功率变换器的设计和制造。InnoSwitch3-AQ系列将初级和次级控制器以及符合安全标准的反馈机制集成到了单个IC中，即使在30VDC至1000VDC以上的宽输入电压范围内，也可以实现精确的输出电压调整。

InnoSwitch3-AQ器件集成了多项保护特性，包括输入过压及欠压保护¹、输出过压及过流限制以及过温保护。该器件能够在30V输入电压下启动，非常适合功能安全至关重要的应急电源应用。

InnoSwitch3-AQ IC在一个器件中集成了一个高压功率开关（MOSFET，SiC MOSFET或PowiGaN™）以及初级侧（高压侧）和次级侧（低压侧）控制器。其架构采用一种具有加强绝缘功能的磁感耦合反馈机制（FluxLink™），提供一种安全可靠的控制方式，从次级侧向初级侧控制器传递精确的输出电压和输出电流信息。

InnoSwitch3-AQ IC中的初级控制器是准谐振(QR)反激式控制器，它能够在连续导通模式(CCM)、临界工作模式(CrM)和断续导通模式(DCM)下工作和平滑切换。该控制器同时使用变频和变流控制方案。初级控制器包括抖频振荡器、与次级控制器磁耦合的接收器电路、限流控制器、初级旁路引脚5V稳压器、轻载工作音频降噪引擎、旁路过压检测电路、限流选择电路、过温保护、前沿消隐以及高压开关管（750V、900V或1700V）。

¹INN3947CQ和INN3949CQ中V引脚OV触发点默认禁止。

InnoSwitch3-AQ次级控制器包括与初级接收器磁耦合的发射器电路、恒压(CV)及恒流(CC)控制器、次级旁路引脚4.4V稳压器、准谐振(QR)电路、振荡器和时钟电路以及多项集成的保护特性。

2 范围

本应用指南旨在指导工程师使用InnoSwitch3-AQ系列器件设计用于汽车应用的DC-DC隔离反激式开关电源。本应用指南使用Power Integrations的PIXIs Designer工具来完成InnoSwitch3-AQ器件的电源设计。PIXIs Designer是PI Expert Suite™软件工具的组成部分，旨在简化使用Power Integrations产品进行设计的过程。PIXIs是一种基于设计表格的工具，可根据用户输入的规格参数计算完成电源设计所需的关键设计参数。（PIXIs可从以下网站获取：<https://piexpertonline.power.com>）

本应用指南包含以下小节/主题：

1. 适合于汽车应用的PIXIs分步设计校验、元件选择以及布局。
2. 符合IEC 60644-1标准的高输入电压电源电气设计指南。
3. 高压和宽环境温度工作范围（-40°C至105°C）下的变压器设计和元件选择。
4. 高EMI抗扰度的布局建议。
5. 电路设计、布局和变压器指南。
6. 更多额外保护的电路建议。

3 相关文档和标准

/1/ InnoSwitch3-AQ产品系列数据手册

/2/ AN-72 InnoSwitch3产品系列设计指南

/3/ IEC 60664-1:2020

低压电源系统内设备的绝缘配合

第1部分：原理、要求和试验

/4/ IEC 60664-4:2005低压电源系统内设备的绝缘配合

第4部分：高频电压应力注意事项。

4 典型应用基本原理图

图1所示为使用InnoSwitch3-AQ控制器设计的隔离反激式变换器的典型应用基本原理图。除非另有说明，本文档中对元件的引用应参考图1所示的元件标号。所示原理图将适用于大多数应用。某些电路部分的元件数量的变更更取决于目标应用的规格。

1. 输入电容(C_{INx}) – 串联/并联组合方式将取决于输入电压范围和滤波要求。

2. 缓冲器网络(C_{SNx} 、 R_{SNx} 、 R_{SK} 和 D_{CLAMPx}) – 缓冲器网络的串联/并联组合方式将根据输入电压范围和输出功率要求而有所不同。

3. 输出电容(C_{OUTx}) – 并联电容的数量将取决于输出电压纹波和工作寿命。

4. SR FET – 其并联数量取决于温升和效率目标。

元件值和额定值将根据具体应用规格而有所不同。

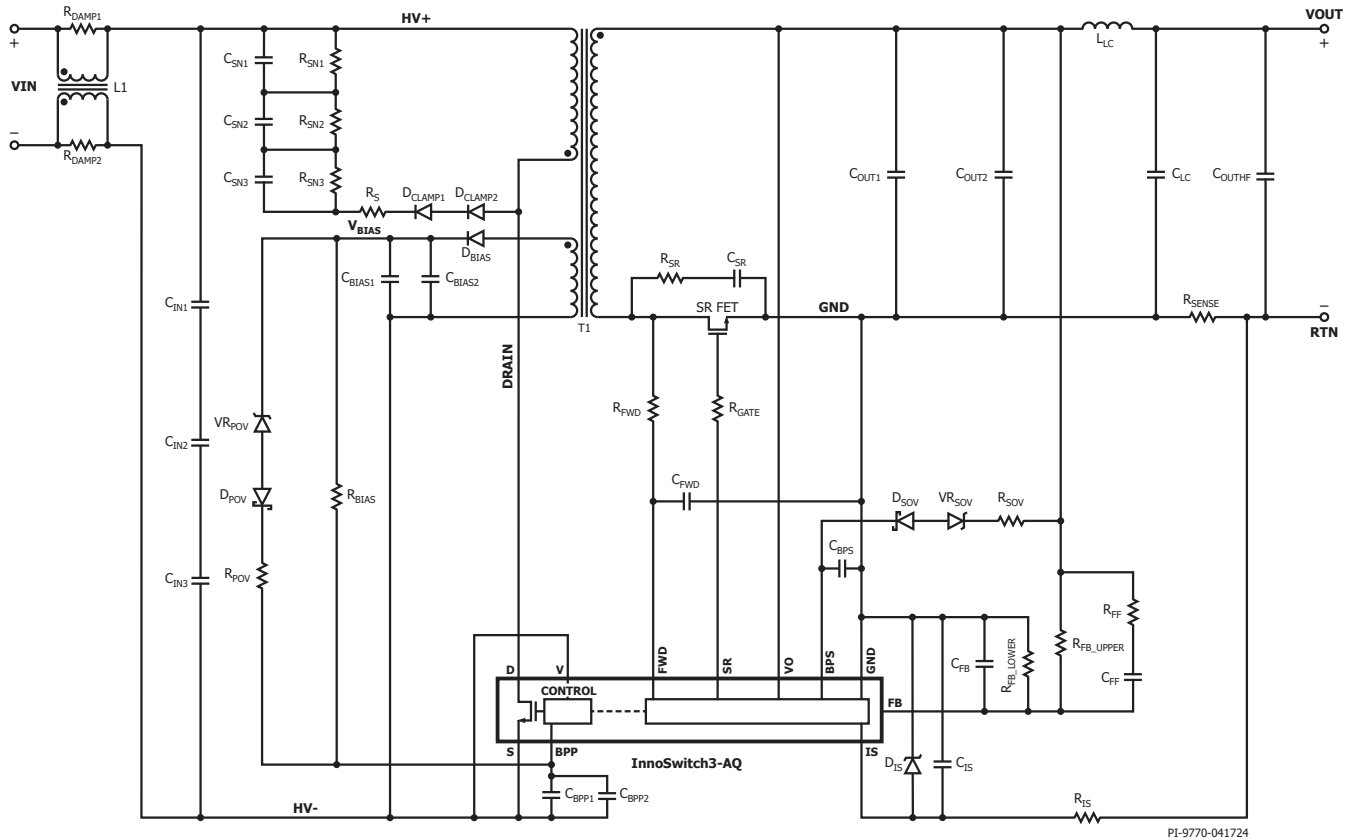


图 1. InnoSwitch3-AQ典型应用基本原理图

5 设计校验

本部分包含设计人员可遵循的校验，以确保在制作原型之前解决使用 InnoSwitch3-AQ进行设计时的所有相关问题。校验可分为多个部分：

1. PIXIs
 2. 元件选择
 3. 布局
- 建议设计人员逐一检查所有校验项，提高原型符合规格要求的可能性（可能需要在测试期间进行微调），从而缩短开发时间。

第1部分：PIXIs设计校验				
请访问 https://piexpertonline.power.com 以使用PIXIs设计表格				
重要事项!				
使用PIXIs时，设计表格中的INFO（信息）栏内不得显示任何警告。如果出现警告，则会在设计表格最右侧的栏内给出警告的原因和解决方法。 含有警告信息的设计会被视为不可行方案。				
✓	#	参数	备注	页码
	1	设置所需的输出电压(VOUT): 输出电压范围应为5V到24V	若VOUT > 24V, 请联系Power Integrations获取更多详情。	11
	2	录入所有所需的工作条件: 设置至少两个工作条件 - 最大和最小输入电压及其各自的最大输出电流。	a) 最多可指定9个工作条件。PIXIs将尝试找到符合所有条件的最佳方案。 b) 使用默认值: EFFICIENCY (0.85)和Z_FACTOR (0.5)。	11
	3	选择初级控制器: 使用InnoSwitch3-AQ数据手册中的功率表作为指南来选择合适的器件。	更多详情请参见本文档的第6.2节。	12
	4	选择控制器电流限流模式: 选择STANDARD（标准）或INCREASED（升高）	概述: STANDARD（标准）- 如果功率输出完全在器件的输出功率范围内或散热是一项挑战。 INCREASED（升高）- 如果需要更高的功率，特别是在最小输入电压下，或者温升管理不是问题。有关更多设计选项和设计要点，请参见第6.2节。	12
	5	设置最大开关频率: 建议的初始值如下: 400VDC系统: 60W及以上为65kHz, 较低功率为85kHz。 800VDC系统: 35W或更高为35kHz, 较低功率为45kHz。	可以反复调整该值，直到实现可接受的设计。更多详情请参见“最差情况下的电气参数”部分。	13
	6	V_{OR}: 通常情况下，将V _{OR} 设置为VOUT的10至12.5倍	请参见“最差情况下的电气参数”部分中的表3，查看V _{OR} 推荐值列表。	14
	7	初级电感量公差(LPRIMARY_TOL)	使用5%至7%的公差可提高变压器成品率。	14
	8	SR FET: 使用PIXIs自动选择的SR FET。	如果使用其他SR FET，则应满足以下要求: a) $1.265V \leq V_{TH(MIN)} \leq 2.5V$ 。 b) $R_{DS(ON)} > (0.01 \times V_{OUT}) / (I_p \times V_{OR})$ ，其中I _p 是初级峰值电流限流点（PIXIs内第78行）。 c) 使用具有最低体二极管T _{RR} 的SR FET。 d) 不推荐使用击穿电压超过150V的FET（受FWD引脚额定电压限制）。 e) 请参见第7.5节了解关于SR FET选择的更多详情。	31
	9	变压器磁芯选择: 从数据库中选择磁芯。确保B _{PEAK} ≤ 3800高斯。磁芯材料应为以下其中之一: 3C95、3C96、PC95、N95或同等材料。	如果所需的磁芯不在PIXIs数据库内，请按照第8.1节中的步骤检查磁芯尺寸以了解功率处理能力。	35

✓	#	参数	备注	页码
	10	“初级元件选择”部分 选择OV/UV模式。录入所需的OV/UV阈值并使用计算出的元件。	查看数据手册以了解器件是否仅具有UV保护或同时具有OV和UV保护。	17
	11	“次级元件选择”部分 使用PIXIs计算出的反馈网络电阻和电容值。	对于高精度电压调整要求（在不同温度下的公差<1%），请参见第9.6节中的“高精度电压调整电路”。	45
	12	设置点分析 使用设置点分析检查工作点和负载条件。	检查以下公差组合。不应该有PIXIs发出的任何警告（PIXIs内第225-227行）。 a. VINMIN、ILIMIT_MAX、LPRIMARY_MAX b. VINMAX、ILIMIT_MIN、LPRIMARY_MIN	21
	13	检查InnoSwitch3-AQ IC功率损耗和温升 使用PIXIs给出的参数计算InnoSwitch3-AQ IC的预期工作温度。	请参见第6.7.1节了解如何计算温升。如果计算出的工作温度在最高环境温度下 $\geq 130^{\circ}\text{C}$ ，则反复调整设计以降低温度（例如，调整开关频率、更换InnoSwitch3-AQ器件）。	22
	14	变压器设计工具 a) 检查绕组是否与所选的磁芯/骨架相匹配。填充率必须为80%或更低，以确保可制造性。 b) 使用功率损耗估计值来计算变压器的温升估计值。	如果填充率或损耗过高，则在PIXIs中调整线规和圈数比。请参见第6.6节了解更多详情。	19

第2部分：元件的选择

（元件的参考标号见第4节中的图1）

✓	#	参数	备注	页码
	1	录入CMC (L1)和衰减电阻(R_{DAMPx}) a) 使用具有最高电感量的CMC来满足所需的最大输入电压和电流。 b) 衰减电阻至少应为厚膜1206 SMD贴片电阻。建议使用抗浪涌电阻。	有关衰减电阻的计算方法，请参见第9.1节。	36
	2	输入电容(C_{INx}) a) 使用68nF至150nF、1206、X7R且额定耐压 $\geq 500\text{V}$ 的多层陶瓷电容(MLCC)。 b) 至少3个串联。	如果电容具有软端接，则可以使用容值更大的电容。以减少初级环路的方式将 C_{IN} 置于布局中。	-
	3	初级缓冲器电路 (R_{SNx}、C_{SNx}、D_{CLAMPx}、R_S) a) 如果变压器原型制作完成，则根据实际测量的初级漏感计算缓冲器。 b) 如果没有变压器原型，对于35W及更高功率的设计，则假设漏感(L_{lk})为 $L_{PRIMARY}$ 的1%。	a) 有关缓冲器拓扑、设计计算和元件选择的信息，请参见第7.2节。	29
	4	初级偏置电压 (D_{BIASx}、D_{BIAS}、R_{BIAS}) a) D_{BIAS} - 使用200V、200mA快速恢复二极管（BAS21GWX或同等产品） b) C_{BIAS} - 使用两个10 μF 、50V、1206、X7R MLCC电容。 c) R_{BIAS} - 使用0603或0805厚膜SMD贴片电阻。	将偏置电压元件靠近变压器引脚放置，以尽量减小偏置环路面积。将 R_{BIAS} 靠近 C_{BPP} 放置。 有关最佳 R_{BIAS} 的计算，请参见第7.3节。	30
	5	BPP电容(C_{BPP}) a) 标准电流限流点 - 使用100nF和470nF电容并将其并联。 b) 升高电流限流点 - 使用100nF和4.7 μF 电容并将其并联。 c) 仅使用0805或1206 SMD贴片封装、X7R或COG、额定耐压 $\geq 25\text{V}$ 、故障开路、MLCC电容。	将BPP电容尽可能靠近InnoSwitch3-AQ IC放置，并放在同一层。更多详情请参见第7.1节。	29

✓	#	参数	备注	页码
	6	SR FET缓冲器 (C_{SR}, R_{SR}) : SR缓冲器应在原型测试期间进行调整。建议的起始值为: a) 对于 C_{SR} , 使用220pF、250V、1206、X7R MLCC。 b) 对于 R_{SR} , 使用20Ω、1206、厚膜SMD贴片电阻。	此处给出的值为起始值。在原型测试期间调整SR FET缓冲器的值。更多详情请参见第7.6节。	33
	7	次级同步整流管(SR FET)	使用PIXIs中的SR FET值估算功率损耗, 然后在开始布局之前指定铺铜散热面积大小。	-
	8	FWD引脚RC网络 (R_{FWD}, C_{FWD}) 建议值: a) 对于 R_{FWD} , 使用47Ω、0805或1206厚膜SMD贴片电阻。 b) 对于 C_{FWD} , 使用100pF、250V、1206、X7R MLCC。	在原型测试期间, 如果FWD引脚电压尖峰接近150V (> 85%), 则 R_{FWD} 可以增加到100Ω, C_{FWD} 增加到330pF。将 C_{FWD} 和 R_{FWD} 放置在非常靠近FWD引脚的位置, 并使其与InnoSwitch3-AQ位于同一层。更多信息请参见第7.7节。	34
	9	BPS电容(C_{BPS}) 使用2.2μF、0805或1206 SMD封装、X7R或COG、额定耐压≥ 25V的MLCC电容。	BPS电容必须靠近BPS和GND引脚放置, 并与InnoSwitch3-AQ IC位于同一层。更多信息, 请参见第7.4节。	31
	10	SR FET门极电阻(R_{GATE}) a) 默认值为0Ω。 b) 使用0603厚膜SMD贴片电阻。	将 R_{GATE} 靠近SR FET的门极引脚放置。 如果在SR GS引脚观测到振荡, 或SR VDS产生较大的尖峰, 则可以将 R_{GATE} 增加到不超过5.6Ω。 如果为了满足温升要求而需并联SR FET, 则每个SR FET必须有自己的门极电阻, 且值阻 < 4.7Ω。	-
	11	反馈网络 (R_{FB_UPPER}, R_{FB_LOWER}, C_{FB}) a) 使用由PIXIs计算出的值。 b) 采用0402或0603、1%公差或精度更高的厚膜SMD贴片电阻。 c) C_{FB} 采用0603或0805、X7R或COG、25V、X7R MLCC。	将反馈网络元件靠近InnoSwitch3 -AQ IC放置。	17
	12	电流检测电阻(R_{SENSE}) a) $R_{SENSE} = 35 \text{ mV}/I_{OUT(MAX)}$ b) 采用1206或更大封装、1%公差或精度更高的电流检测贴片电阻。	a) 对于高电流应用(>3A), 使用多个并联电阻可在不同温度下实现一致的电流限流。 b) R_{SENSE} 必须靠近InnoSwitch3-AQ IC放置。如果无法实现此操作, 则使用开尔文连接并将信号正确地路由到IS引脚。 c) $I_{OUT(MAX)}$ 应高于最高额定输出电流。可使用比 $I_{OUT(MAX)}$ 高10% - 20%的值, 确保保护阈值和额定输出电流之间有充足的裕量。	-
	13	电流检测滤波器 (R_{IS}, C_{IS}) a) 对于 C_{IS} , 使用1μF至4.7μF、0805、X7R或COG、≥ 25V、MLCC。 b) 对于 R_{IS} , 使用10Ω、0402或0603、1%公差或精度更高的厚膜电阻。	元件应放置在IS引脚旁并位于同一层。 对于 C_{IS} , 一个1μF电容适用于大多数应用。在部分设计中, 该值可能会增加到4.7μF, 具体取决于电路板布局和IS引脚信号所需的噪声滤波。	-

✓	#	参数	备注	页码
	14	输出电容(C_{OUT}) a) 对应每安培的负载电流使用220 μ F至330 μ F。 b) 仅使用聚合物和混合聚合物电解电容。	a) 可以并联多个电容来降低输出纹波电压。 b) 确保输出电容的总电流纹波额定值大于最大次级纹波电流。 c) 根据生产厂商的建议计算电容寿命。 d) 在布局中放置输出电容以减少次级环路。更多详情请参见第7.8节。	34
	15	高频输出滤波电容(C_{OUTHF}) 使用0.1 μ F至10 μ F、1206、X7R或COG、50V的MLCC。	将该电容放置在负载与电源连接的位置。电源的负载绝不能旁路该电容。最合适值的选择取决于实测的纹波和EMI。	-
	16	初级检测过压保护 (D_{POV}, VR_{POV}, R_{POV}) a) 可选, 但为了功能安全建议使用。 b) 对于 D_{POV} , 使用一个100V、200mA的标准恢复SMD二极管。 c) 对于 VR_{POV} , 请参见图43以计算所需的击穿电压。 d) 对于 R_{POV} , 使用一个47 Ω 、0603、1%至5%公差의厚膜SMD贴片电阻。	将初级检测过压元件靠近InnoSwitch3-AQ IC放置。有关基本原理图和详细信息, 请参见第9.2节。	43
	17	次级检测过压保护 (D_{SOV}, VR_{SOV}, R_{SOV}) a) 对于 D_{SOV} , 使用一个100V、200mA的标准恢复SMD二极管。 b) 对于 VR_{SOV} , 请参见图43以计算所需的击穿电压。 c) 对于 R_{SOV} , 使用一个47 Ω 、0603、1%至5%公差의厚膜SMD贴片电阻。	将次级检测过压元件靠近InnoSwitch3-AQ IC放置。更多详情请参见第9.3节。	43
	18	IS引脚保护二极管(D_{IS}) 如果IS引脚未使用RC滤波器, 则使用具有至少30 A非重复峰值电流的肖特基二极管。二极管电压额定值可以 \leq 40V。	在出现输出短路且阻抗非常低的情况下, IS引脚电压可能超过该引脚的绝对最大额定值, 发生此类事件期间需使用该二极管。参见第9.4节。	43

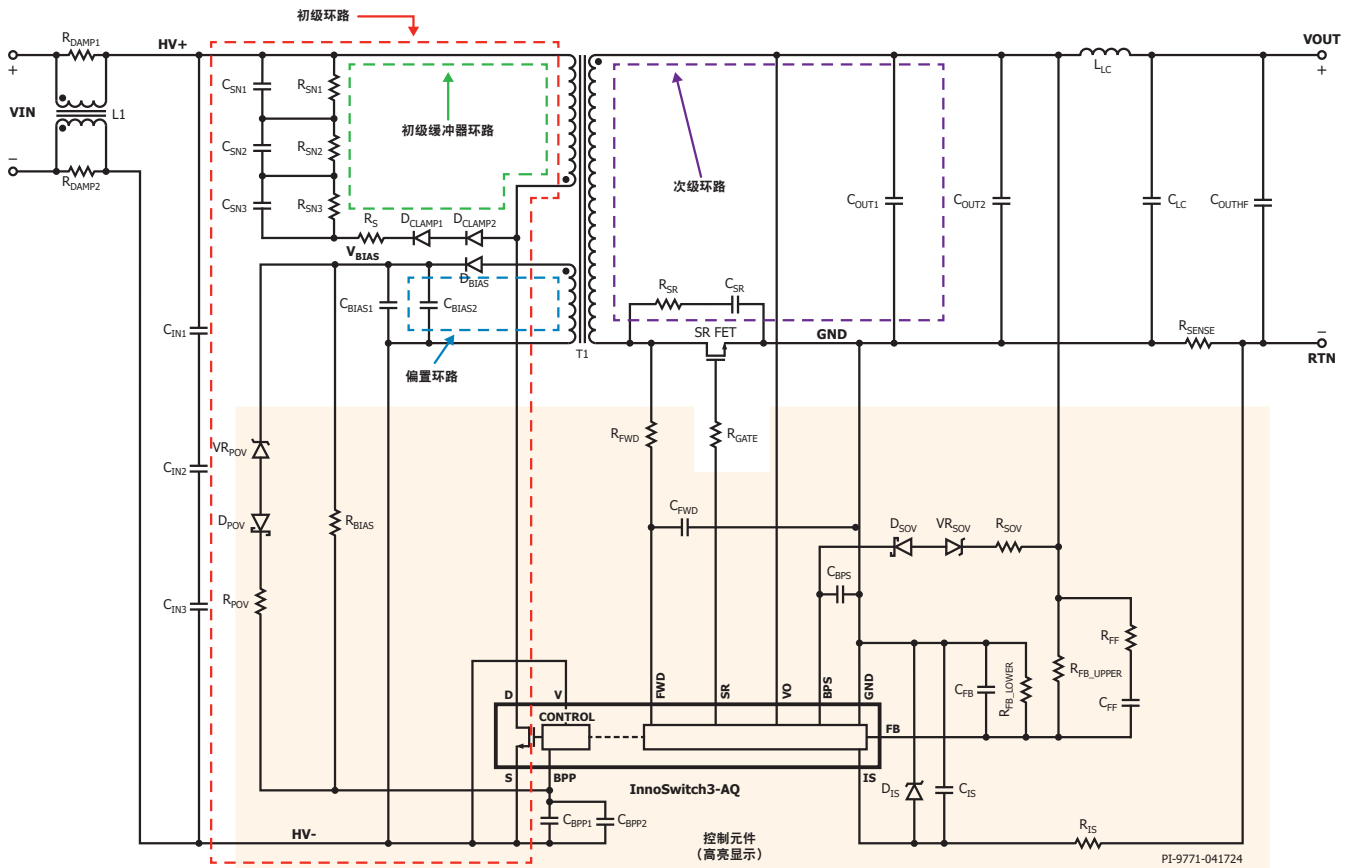


图 2. 显示关键环路和控制元件的基本原理图

第3部分：PCB元器件摆放和布局 (参见图2以识别关键环路和控制元件)				
✓	#	元件/网络	备注	页码
	1	电气间隙和爬电距离 根据IEC 60664-1/4计算爬电距离和电气间隙要求。	a) 初级到初级的功能/基本绝缘。 b) 次级到初级的加强绝缘。 c) 应对节点之间具有高压的所有节点进行爬电和间隙计算。参见第10节了解最小爬电距离和电气间隙的推荐值。 d) 确保根据目标应用环境考虑到污染程度、海拔高度和湿度。	47
	2	控制元件 (图2中高亮显示) 应尽可能靠近InnoSwitch3-AQ IC放置。应按照以下放置优先级进行放置： 1) C_{BPP} 、 C_{BPS} 、 C_{FWD} 、 C_{FB} 和 C_{IS} 2) R_{BIAS} (在 C_{BPP} 旁)、 R_{FWD} (在 C_{FWD} 旁) 3) R_{FB_LOWER} (在 C_{FB} 旁)和 R_{IS} (在 C_{IS} 旁) 4) R_{FB_UPPER} 、 R_{FF} 和 C_{FF} 5) 初级和次级OV元件	a) 理想情况下，所有控制元件都应与InnoSwitch IC位于同一层。如果无法做到，请确保优先级1和2的元件与InnoSwitch3-AQ IC位于同一层。 b) 所有连接到GND的次级控制元件必须通过 C_{BPS} 焊盘连接到IC的GND引脚。	48至59
	3	控制元件布线 控制元件之间的布线尽量简短。尽可能避免使用过孔。	布局示例请参见第12节。	
	4	输入CMC 使CMC的输入和输出节点尽可能远离，以防止噪声通过输电线耦合	布局示例请参见第12节。	
	5	输入电容 将输入电容靠近变压器和InnoSwitch3-AQ IC放置，以尽量减少初级环路面积。	如果InnoSwitch3-AQ IC与输入电容不在同一层，则增加将InnoSwitch3-AQ IC源极引脚连接到电容的过孔数量。对电容与变压器引脚之间的连接也采取相同做法。	
	6	缓冲器网络 将缓冲器元件靠近放置，以尽量减少初级缓冲器环路面积。	a) D_{CLAMP} 阳极应直接连接到InnoSwitch3-AQ IC的漏极。 b) R_{SN} 和 C_{SN} 应直接连接到输入电容，而不是变压器的HV+引脚。参见第12节。	
	7	偏置电压元件 将偏置元件 (C_{BIASX} 、 D_{BIAS}) 靠近变压器偏置绕组引脚放置，尽量减少偏置环路面积。	a) 将 C_{BIAS} 的源极/HV-焊盘直接连接到 C_{IN} 的源极/HV-焊盘。 b) 将此该走线与承载初级开关电流的源极多边形铺铜相隔离。 c) 将 V_{BIAS} 直接布线在 C_{BIAS} 至 C_{BPP} 源极/HV-走线旁或与之相重叠。 d) 如果布线重叠，这些走线应位于相邻的铺铜层上。参见第12节。	
	8	SR FET和输出电容 靠近次级变压器引脚放置，尽量减少次级环路面积。	a) 如果使用并联FET，将SR FET靠近放置在一起。 b) 确保SR FET具有足够的铺铜散热区域，使SR FET结温度保持在限值范围内。 c) 如有可能，让所有层都有散热区域。 d) 不要将SR FET漏极散热区域与其他节点 (例如GND层) 重叠，因为该节点具有较高的dv/dt信号。参见第12节。	

✓	#	元件/网络	备注	页码
	9	SR FET RC缓冲器 放置在SR FET旁，最好位于同一层。	如果使用两个并联的SR FET，将SR FET RC缓冲器放置在两个MOSFET之间。参见第12节。	第48至 59页
	10	R_{SENSE}和D_{IS} 放置 R_{SENSE} ，让其到 R_{IS} 和 C_{IS} 引脚的通路最短、最直接。 D_{IS} 、 C_{IS} 和 R_{IS} 尽可能靠近IS引脚。	a) 使 R_{SENSE} 远离SR FET漏极等噪声节点。 b) 使信号从 R_{SENSE} 传递到 R_{IS} ，这种布线方式可避免噪声走线，如从SR FET漏极到 R_{FWD} 的走线。 c) 避免与含有高频信号（如SR门极信号和 V_{OUT} ）的其他走线交叉。	
	11	高dv/dt节点 对于以下高dv/dt节点，尽量减少铺铜面积和走线长度： a) InnoSwitch3-AQ漏极。 b) 从SR FET到 R_{FWD} 的走线（使用低走线宽度）。	不要将高dv/dt节点与其他任何节点重叠。	
	12	高di/dt环路 除了紧凑摆放元件之外，高di/dt回路的布线应减少回路所包围的面积。请参见图2。	a) 大面积环路会产生较大的磁场，而且这些磁场会耦合到附近的导体。较大面积的环路也容易受到附近磁场噪声的影响。 b) 尽量减小以下环路的长度和面积：初级环路、次级环路、偏置环路和初级缓冲器环路。参见第12节。	
	13	参考平面和返回通路	控制信号必须始终使用明确定义的返回通路进行传输。返回通路通常是在一个未中断的GND平面，与信号传递的层相邻。确保控制信号的合理走线，使GND平面的铜走线始终位于走线的正下方。如果无法做到这一点，则不与GND平面重叠的走线必须与GND走线搭配使用，该GND走线与信号走线一起布线并位于同一层。参见第12节。	
	14	过孔	通过过孔连接的信号，且需要在与信号原始GND平面不相邻的层上继续传输的信号，必须附有单独的GND过孔。该过孔允许返回电流轻松传输到不同的GND平面或返回通路走线。参见第12节。 为确保可靠性，建议在关键控制信号或输电线上使用多个过孔。对于具有高电流或高di/dt的走线，也建议使用多个过孔，以分别降低过孔电阻和电感。	

✓	#	元件/网络	备注	页码
	15	相互交叉的信号	如果不可避免，则位于不同层且相互交叉的信号必须始终在其层之间有一个GND层。理想情况下，每个信号层都必须在相邻层上有自己的GND层。	第48至 59页
	16	次级GND平面	GND平面只能通过BPS引脚电容的GND焊盘连接到InnoSwitch3-AQ IC的GND引脚。应使用多个过孔来减少GND平面到GND引脚的电感。只要返回通路定义明确且不相交，电路中任何其他位置的GND节点都可以通过过孔直接连接到GND平面。 示例请参见第12节。	
	17	信号测量点	将控制信号连接到适当的测量点。 a) 输出电压(V_{OUT})信号必须从输出电容焊盘连接。 b) 使用单独的走线从 R_{FWD} 直接连到SR MOSFET漏极焊盘，以测量SR漏源极电压。	

6 PIXIs设计详情

使用PIXIs工具时，必须反复调整设计，直到不再出现警告。可以根据设计表格最右边一栏的指导方法来处理警告。清除所有警告后，使用“变压器设计”工具优化变压器，然后生成可用于创建变压器原型的设计文档。

6.1 应用变量和工作条件

录入每个输入电压设置点的所需输出电压和目标输出功率。最多可指定9个工作条件，PIXIs将尝试解决满足所有工作点的设计。图3所示为InnoSwitch 3-AQ器件的PIXIs应用变量部分。

对于具有指定工作输入范围但低于输入最小值有输出功率要求的电源，建议仅在“工作条件”字段中录入额定范围，然后使用“设置点分析”在较低输入电压条件下评估设计。有关示例请参见“设置点分析”部分。

PIXIs Designer		Magnetics Designer		InnoSwitch3-AQ Flyback Design Spreadsheet		
DCDC_InnoSwitch3AQ_Flyback_031423; Rev.3.5		INPUT	INFO	OUTPUT	UNITS	Design Title
APPLICATION VARIABLES						
3	VOUT	12.00		12.00	V	Output Voltage
4	OPERATING CONDITION 1					
5	VINDC1	1000.00		1000.00	V	Input DC voltage 1
6	IOUT1	5.000		5.000	A	Output current 1
7	POUT1			60.00	W	Output power 1
8	EFFICIENCY1			0.85		Converter efficiency for output 1
9	Z_FACTOR1			0.50		Z-factor for output 1
10						
11	OPERATING CONDITION 2					
12	VINDC2	300.00		300.00	V	Input DC voltage 2
13	IOUT2	5.000		5.000	A	Output current 2
14	POUT2			60.00	W	Output power 2
15	EFFICIENCY2			0.85		Converter efficiency for output 2
16	Z_FACTOR2			0.50		Z-factor for output 2
17						
18	OPERATING CONDITION 3					
19	VINDC3	60.00		60.00	V	Input DC voltage 3
20	IOUT3	0.500		0.500	A	Output current 3
21	POUT3			6.00	W	Output power 3
22	EFFICIENCY3			0.85		Converter efficiency for output 3
23	Z_FACTOR3			0.50		Z-factor for output 3

图 3. 输入每个相应输入电压的所需 V_{OUT} 和输出功率。

备注:

- VOUT** - 建议的 V_{OUT} 范围为5VDC至24VDC
 - InnoSwitch 3-AQ的VOUT引脚的绝对最大电压为27V。对于要求输出>24VDC的设计，请联系Power Integrations客户支持人员。
- VINDC** - 最大输入电压为1100VDC，最小输入电压则为30VDC。
- 效率** - 首次调整设计时使用默认值。原型样机制作完成后，可以对效率进行调整以匹配实际测量结果。
- Z因子** - 电源损耗分配因子 - 等于次级侧损耗与变换器总损耗之比。对输出电流3A及以下使用默认值。0.65的取值可用于更高输出电流。如果需要优化计算，可以使用从原型测量的功率损耗预算来确定实际的次级损耗，并且可在设计表格中反复调整Z因子。
- 如果输入欠压保护被禁止（V引脚对源极引脚短路），电源将开始在30VDC输入电压下工作。使用PIXIs“输入电压设置点分析”部分来确定该工作点的预期最大输出功率。
- 对于宽范围输入设计（如30VDC至1000VDC），由于其开关损耗增加（高输入电压下的深度DCM工作、无波谷开通、较高的开关频率），最小输入电压下的较高功率要求将会限制较高输入电压下的最大输出功率。
- 无需填写所有工作条件字段。填写最小和最大输入电压下的所需功率即可。

6.2 初级控制器选择

使用表1 “InnoSwitch 3-AQ输出功率对照表”为设计选择合适的InnoSwitch 3-AQ IC。

将DEVICE_CODE字段调整为所选的InnoSwitch 3-AQ器件。对于ILIMIT_MODE字段，选择STANDARD（标准）或INCREASED（升高）。

一般而言，当设计接近器件的最大功率能力时，或者在设计中的较低输入范围内需要更高的功率时，选择INCREASED（升高）电流限流点。

初级控制器选择部分如图4所示。选择电流限流点和器件代码后，将根据数据手册中的值将器件特性列在后续单元格中。

设计说明：

1. 如果采取升温管理措施将塑封壳温度保持在125°C以下，则可能设计出比功率对照表中所述的值更高的功率。
2. 始终估算器件中的总功率损耗（开关损耗+导通损耗），以适当调整源极节点的散热铜面积。
3. 有关器件热阻和漏源极电容容量的信息，请参见InnoSwitch 3-AQ数据手册。

输出功率对照表

型号 ²	最大推荐 直流输入母线	工作电压下的输出功率(W) ¹			
		30VDC	60VDC	400VDC	800VDC
750V MOSFET		30VDC	60VDC	400VDC	800VDC
INN3977CQ	520V	10	20	30	—
900V MOSFET		30VDC	60VDC	400VDC	800VDC
INN3996CQ	650 V	7	14	20	—
900 V PowiGaN 开关管		30VDC	60VDC	400VDC	800VDC
INN3997CQ³	650 V	10	20	55	—
INN3999CQ³	650 V	10	30	85	—
INN3990CQ³	650 V	10	40	100	—
1700V SiC 开关管		30VDC	60VDC	400VDC	800VDC
INN3947CQ	1200V	10	23	50	50
INN3949CQ	1200V	10	40	70	70

表 1. 输出功率对照表
备注：

1. 最大输出功率因设计要求不同而有所差异。功率输出的计算假设塑封壳温度必须 <125°C，并且设计使用适当的散热策略（例如PCB铜面积和/或连接外壳的导热接口）。
2. 封装：InSOP-24D。
3. UL、TUV、CQC认证正在申请中。AEC认证过程已完成。
4. 动态响应可能会超过该值。

PIXls Designer		Magnetics Designer					
DCDC_InnoSwitch3AQ_Flyback_031423; Rev.3.5		INPUT	INFO	OUTPUT	UNITS	InnoSwitch3-AQ Flyback Design Spreadsheet	
APPLICATION VARIABLES							Design Title
68							
PRIMARY CONTROLLER SELECTION							
70	ILIMIT_MODE	INCREASED ▼		INCREASED			Device current limit mode
71	VDRAIN_BREAKDOWN	1700 ▼		1700	V		Device breakdown voltage
72	DEVICE_GENERIC			INN39X9			Device selection
73	DEVICE_CODE	INN3949CQ ▼		INN3949CQ			Device code
74	PDEVICE_MAX			70	W		Device maximum power capability
75	RDSON_25DEG			0.62	Ω		Primary switch on-time resistance at 25°C
76	RDSON_125DEG			1.10	Ω		Primary switch on-time resistance at 125°C
77	ILIMIT_MIN			1.981	A		Primary switch minimum current limit
78	ILIMIT_TYP			2.130	A		Primary switch typical current limit
79	ILIMIT_MAX			2.279	A		Primary switch maximum current limit
80	VDRAIN_ON_PRSW			0.24	V		Primary switch on-time voltage drop
81	VDRAIN_OFF_PRSW			1180	V		Peak drain voltage on the primary switch during turn-off

图 4. PIXls初级控制器选择部分中的InnoSwitch 3-AQ器件和电流限流点设置

6.3 最差情况下的电气参数

大多数反复调整将在该设计表格部分完成，直至得出合适的变压器设计。首次调整设计时，可以使用FERCHING_MAX、VOR和LPRIMARY_TOL的默认值。选定变压器磁芯后，用户即可调整这些变量的值，直至PIXls中的警告全部清除。

FSWITCHING_MAX

该参数是设计的目标最大工作开关频率。它会综合考虑所有工作点，并在满载下进行评估。InnoSwitch3-AQ IC在正常工作期间的最大开关频率为100kHz，而典型过载检测频率为110kHz。在正常工作条件下，满载时的开关频率应至少比过载检测频率低10%

以下为首次调整时建议的FSWITCHING_MAX值：

输入电压范围	输出功率	SWITCHING_MAX 首次调整
30V至1000V	≤ 35W	30kHz至45kHz
400V直流母线	≥ 60W	65kHz
	≤ 60W	85kHz
800V直流母线	≥ 35W	35kHz
	≤ 35W	45kHz

表 2. 首次调整设计时的建议最大频率值

通常情况下，如果输入电压范围较小，则最大开关频率可以设置得较高，这是因为在整个输入范围内都有可能发生波谷开通。即使在高频下，这也将降低开关损耗。

PIXls Designer		Magnetics Designer		DCDC_InnoSwitch3AQ_Flyback_031423; Rev.3.5		
		INPUT	INFO	OUTPUT	UNITS	InnoSwitch3-AQ Flyback Design Spreadsheet
APPLICATION VARIABLES						Design Title
68						
PRIMARY CONTROLLER SELECTION						
84						
WORST CASE ELECTRICAL PARAMETERS						
86	FSWITCHING_MAX	70000	Info	70000	Hz	The worst case minimum operating frequency is less than 25kHz; may result in audible noise
87	VOR	150.0		150.0	V	Voltage reflected to the primary winding (corresponding to set-point 1) when the primary switch turns off
88	KP			1.657		Measure of continuous/discontinuous mode of operation
89	MODE_OPERATION			DCM		Mode of operation
90	DUTYCYCLE			0.232		Primary switch duty cycle
91	TIME_ON_MIN			0.98	us	Minimum primary switch on-time
92	TIME_ON_MAX			11.22	us	Maximum primary switch on-time
93	TIME_OFF			11.01	us	Primary switch off-time
94	LPRIMARY_MIN			516.6	uH	Minimum primary magnetizing inductance
95	LPRIMARY_TYP			543.8	uH	Typical primary magnetizing inductance
96	LPRIMARY_TOL	5.0		5.0	%	Primary magnetizing inductance tolerance
97	LPRIMARY_MAX			571.0	uH	Maximum primary magnetizing inductance
98						
PRIMARY CURRENT						
100	IAVG_PRIMARY			0.218	A	Primary switch average current
101	IPEAK_PRIMARY			2.113	A	Primary switch peak current
102	IPEDESTAL_PRIMARY			0.000	A	Primary switch current pedestal
103	IRIPPLE_PRIMARY			2.113	A	Primary switch ripple current
104	IRMS_PRIMARY			0.554	A	Primary switch RMS current

图 5. 适合用户工作条件的最差情况下的电气参数

V_{OR} (反射输出电压)

V_{OR}是SR FET导通时间内初级绕组两端的电压。它近似等于输出电压乘以变压器匝数比，是PIXIs在设计计算中使用的用户自定义参数。

$$V_{OR} = \frac{N_p}{N_s} V_{OUT}$$

其中

N_p = 初级绕组圈数

N_s = 次级绕组圈数

V_{OR}影响与变压器设计和SR FET选择相关的多个关键设计参数，因此可以用于将所述参数保持在限值内。还可通过V_{OR}进行微调，以清除设计表格中的警告。为达到优化目的，应考虑如下因素：

- 较高的V_{OR}允许在最低输入电压下增加功率输出。
- 较高的V_{OR}会降低输出二极管或SR FET上的电压应力，这样可以使用较低额定电压的SR FET。
- 较高的V_{OR}通常导致较大的漏感，从而降低电源效率。
- 较高的V_{OR}会增大次级侧的峰值电流及有效值电流，从而增加次级侧的铜损、二极管损耗和SR FET损耗。

上述指导建议也有例外，例如对于输出电流非常高的设计，应降低V_{OR}以获得最高效率。

输出电压较高（15V以上）的设计应使用更高的V_{OR}，以将SR FET两端的电压应力保持在可接受的限值内。对于高压输入(>600V)设计，通常也需使用较高的V_{OR}。

选择最佳的V_{OR}值取决于具体应用，并且需要综合考虑上述各因素。

应用变量和初级控制器选择最终确定后，FSWITCHING_MAX和V_{OR}是设计表格中主要确定初级电感量的参数。

K_p (工作模式)

K_p是用来衡量初级电流波形在特定工作点上的断续或连续程度的参数。K_p低于1表示CCM（连续导通模式）工作，而K_p高于1则表示DCM（断续导通模式）工作。

设计中的每个设置点都将对应一个具体的K_p值。某些设置点可能导致CCM工作，而其他设置点可能处于DCM模式。PIXIs最差情况下的电气参数部分中所示的K_p对应于设计最具有CCM特点的工作模式（K_p值最小）。

K_p值的范围应为0.5 < K_p < 6。多个设计的测试已表明，K_p值介于0.6和1.0之间时，在所有输出和负载条件下的效率最高。

初级电感量公差，LPRIMARY_TOL (%)

该参数为假定的初级电感量公差。默认情况下使用的值为5%。如果变压器供应商提供此信息，则可能会覆盖此默认值。

7%的取值可以很容易地实现，对于大多数变压器供应商来说是一个合理的值。3%的取值有助于改善生产公差，但对大规模生产更具挑战性。设计时推荐采用5%的公差，因为该取值有助于减小变压器之间的效率差异，并且大部分变压器生产商都可以轻松满足此公差值。

设计表格自动计算本部分中的其他电气参数。它可用于选择电路中的其他元件，如输入CMC、输出整流管(SR FET)和输出电容。

初级电流

IPEAK_PRIMARY – 峰值初级电流

IPEDESTAL_PRIMARY – CCM模式下开关周期开始时的初级MOSFET电流

I AVG_PRIMARY – 初级MOSFET平均电流

IRIPPLE_PRIMARY – 初级MOSFET纹波电流

IRMS_PRIMARY – 初级MOSFET有效值电流

V _{OUT} (V)	400V母线 (900V器件)		800V母线 (1700V器件)	
	V _{OR} (V)	要求的SR FET BV _{DSS} (V)	V _{OR} (V)	要求的SR FET BV _{DSS} (V)
5	50	80	60	120
8	80		100	
12	120		150	
15	150	100	190	
18	180		225	
24	240		280	

表 3. 不同工作条件下建议的首次调整V_{OR}值

6.4 变压器结构参数

输入: CORE. AE. LE. AL. VE. BOBBIN. AW. BW. MARGIN

PIXIs Designer		Magnetics Designer		InnoSwitch3-AQ Flyback Design Spreadsheet		
DCDC_InnoSwitch3AQ_Flyback_031423; Rev.3.5		INPUT	INFO	OUTPUT	UNITS	
TRANSFORMER CONSTRUCTION PARAMETERS						
109	CORE SELECTION					
110	CORE	EQ30		EQ30		Core selection
111	CORE NAME			EQ30-3C96		Core code
112	AE			108.0	mm ²	Core cross sectional area
113	LE			46.0	mm	Core magnetic path length
114	AL			4900	nH	Ungapped core effective inductance per turns squared
115	VE			4970	mm ³	Core volume
116	BOBBIN NAME			EQ30 - 1 (P5-55)		Bobbin name
117	AW			60.1	mm ²	Bobbin window area - only the bobbin width and height are used to assess fit by the magnetics builder
118	BW			8.40	mm	Bobbin width
119	BH			7.15	mm	Bobbin height
120	MARGIN			0.0	mm	Bobbin safety margin
121						
122	PRIMARY WINDING					
123	NPRIMARY			38		Primary winding number of turns
124	BPEAK			3245	Gauss	Peak flux density
125	BMAX			2899	Gauss	Maximum flux density
126	BAC			1450	Gauss	AC flux density (0.5 x Peak to Peak)
127	ALG			377	nH	Typical gapped core effective inductance per turns squared
128	LG			0.333	mm	Core gap length
129						
130	SECONDARY WINDING					
131	NSECONDARY			3		Secondary winding number of turns
132						
133	BIAS WINDING					
134	NBIAS			3		Bias winding number of turns

图 6. PIXIs变压器结构参数部分

磁芯

默认情况下，如果磁芯类型单元格为空，设计表格将在其数据库中选择适用于指定连续（平均）输出功率的最小可用磁芯。如果用户希望使用不在数据库中的其他磁芯型号，则面积乘法可以设置磁芯选择的最低标准。面积乘积(A_p)公式如下所示：

$$A_p = A_E A_W = \frac{L_{PRI} I_{PK(PRI)} \sum_I \frac{N_I}{N_{PRI}} I_{RMS(I)}}{B_{MAX} JK}$$

其中

 A_p = 磁芯面积乘积 A_E = 磁芯有效面积 A_W = 磁芯绕组面积 L_{PRI} = 额定初级电感量(LPRIMARY_TYP) $I_{PK(PRI)}$ = 初级峰值电流(IPEAK_PRIMARY) N_I = 次级绕组I圈数(NSECONDARY) N_{PRI} = 初级绕组圈数(NPRIMARY) $I_{RMS(I)}$ = 输出绕组I有效值电流 B_{MAX} = 所需的最大磁通密度（磁芯材料规格） J = 绕组电流密度(4-6 A/m²) K = 填充系数（0.5至0.8）

对于电流密度，较低的值将由于铜损低而带来较高的效率，但可能需要更大的绕组面积。绕组系数是绕组截面中铺铜与非铺铜区域的比值。较低的值将更容易制造。

在计算单路输出设计时可修改公式，使用 V_{OUT} 和 V_{OR} ：

$$A_p = A_E A_W = \frac{L_{PRI} I_{PK(PRI)} \left(\frac{V_{OUT}}{V_{OR}} \right) I_{RMS(SEC)}}{B_{MAX} JK}$$

其中

$I_{RMS(SEC)}$ = 满载下的次级有效值电流

所选磁芯的 A_p 应大于或等于上述的计算值。如果选择自定义磁芯，请在PIXIs中录入其参数及其相应的骨架窗口面积和宽度。确保 B_{MAX} 在任何温度下都远低于磁芯材料的饱和水平。

计算变压器温升时，必须首先确定磁芯的热阻(R_{TH})。 R_{TH} 可从磁芯的制造数据手册中获取，或使用以下公式估算：

$$R_{TH} = 53 \times (V_{CORE})^{0.54} \text{ (单位: K/W)}$$

其中

V_{CORE} = 磁芯体积，单位 cm^3 （数据手册数值）

得到热阻后，可从PIXIs的Magnetic Designer（变压器设计）选项卡的“绕组信息”窗口获取变压器损耗，估算出变压器温升（参见图9）。温升计算公式如下：

$$T_{RISE(TRANSFORMER)} = R_{TH} \times P_{TOTAL(TRANSFORMER)LOSS} \text{ (单位: } ^\circ\text{C)}$$

请注意，此处计算的值为变压器平均温升的估算值，且必须通过测试进行验证。此外，预计绕组的温升比平均值高出 $10\text{--}15^\circ\text{C}$ 左右。

MARGIN（安全裕量, mm）

由于汽车应用的变压器设计通常要求次级绕组采用三层绝缘线，以满足加强绝缘和局部放电要求，因此该部分可设置为0mm。建议在初级绕组中使用全绝缘线(FIW)。

NPRIMARY

该参数是变压器主要初级绕组所需的圈数，根据 V_{OR} 和次级绕组圈数计算得出。

BPEAK

为了限制最大限流点和132kHz工频下出现的峰值磁通密度，建议峰值磁通密度取最大值3800高斯。在输出短路期间，输出电压几乎为零，且在FET关断期间，变压器的磁通复位不足，这可能导致变压器的磁通密度会累积到超过正常工作时的水平。一旦选择了具有内置保护特性的InnoSwitch3-AQ器件，其峰值限流点也就固定了。在此限流点的磁通密度选择3800高斯，可提供足够的裕量以保证在输出短路情况下磁芯不会饱和。

BMAX

在轻载条件下的低频工作可在变压器内产生音频范围内的频率，特别是在使用长磁芯的情况下。为抑制噪声，应将变压器的最大磁芯磁通密度设计在低于3000高斯(300mT)之下。这一指导方法和浸漆工艺有助于显著衰减音频噪声。

BAC

AC磁通密度可用于磁芯损耗计算。

NSECONDARY

使峰值工作磁通密度BPEAK低于建议的最大值3800高斯(380mT)的最少次级圈数。一般来讲，没有必要在灰色单元格内输入其他值，除非需要更低的工作磁通密度。

6.5 初级和次级元件的选择

输入: **UVOV Type**、**BROWN-IN REQUIRED**、**UNDERVOLTAGE ZENER DIODE**、**SRFET1**

PIXls Designer		Magnetics Designer				
DCDC_InnoSwitch3AQ_Flyback_031423; Rev.3.5						
		INPUT	INFO	OUTPUT	UNITS	InnoSwitch3-AQ Flyback Design Spreadsheet
PRIMARY COMPONENTS SELECTION						
139	LINE UNDERVOLTAGE/OVERVOLTAGE					
140	UVOV Type	UV Only		UV Only		Input Undervoltage/Overvoltage protection type
141	UNDERVOLTAGE PARAMETERS					
142	BROWN-IN REQUIRED	58.00		58.00	V	Required DC bus brown-in voltage threshold
143	UNDERVOLTAGE ZENER DIODE	BZM55C9V1		BZM55C9V1		Undervoltage protection zener diode
144	VZ			9.10	V	Zener diode reverse voltage
145	VR			6.80	V	Zener diode reverse voltage at the maximum reverse leakage current
146	ILKG			2.00	uA	Zener diode maximum reverse leakage current
147	BROWN-IN ACTUAL			44.31 - 57.15	V	Actual brown-in voltage range using standard resistors
148	BROWN-OUT ACTUAL			37.98 - 51.07	V	Actual brown-out voltage range using standard resistors
149	OVERVOLTAGE PARAMETERS					
150	OVERVOLTAGE REQUIRED		Info		V	For UV Only design, overvoltage feature is disabled
151	OVERVOLTAGE DIODE		Info			OV diode is used only for the overvoltage protection circuit
152	VF				V	OV diode forward voltage
153	VRRM				V	OV diode reverse voltage
154	PIV				V	OV diode peak inverse voltage
155	LINE_OVERVOLTAGE				V	For UV Only design, line overvoltage feature is disabled
156	DC BUS SENSE RESISTORS					
157	RLS_H			1.62	MΩ	Connect five 324 kOhm DC bus upper sense resistors to the V-pin for the required UV/OV threshold
158	RLS_L			261	kΩ	DC bus lower sense resistor to the V-pin for the required UV/OV threshold
159						
160						
161	BIAS WINDING					
162	VBIAS			9.00	V	Rectified bias voltage
163	VF_BIAS			0.70	V	Bias winding diode forward drop
164	VREVERSE_BIASDIODE			87.95	V	Bias diode reverse voltage (not accounting parasitic voltage ring)
165	CBIAS			22	uF	Bias winding rectification capacitor
166	CBPP			4.70	uF	BPP pin capacitor

图 7. “初级元件选择”部分

UVOV Type (UVOV类型)

所需输入锁定模式的选择字段。检查InnoSwitch3-AQ IC，确认在第6.2节中所选择的器件是否支持UV、OV或二者。对于具有极高输入电压的汽车应用，可以不使用此功能，或者选择“UV Only”（仅UV）模式。如果不使用此功能，将V引脚连接到InnoSwitch3-AQ的源极节点并忽略设计表格中的UNDERVOLTAGE PARAMETERS（欠压参数）、OVERVOLTAGE PARAMETERS（过压参数）和DC BUS SENSE RESISTORS（直流母线检测电阻）部分。

BROWN-IN REQUIRED (要求电压缓升)

该参数是电源导通（如果UV锁定被使能）时的直流输入电压。对于应急电源应用通常设置为30V。

UNDERVOLTAGE ZENER DIODE (欠压齐纳稳压管)

当输入电压增加到远超过电压缓升值时，齐纳稳压管用于限制V引脚上的电压，如图8所示。当超过电压缓升值时，通过限制进入V引脚的电流，可有效禁止OV检测。从下拉菜单中选择一个二极管，计算输入电压最大时齐纳稳压管的功耗。确保满足功率降额要求。

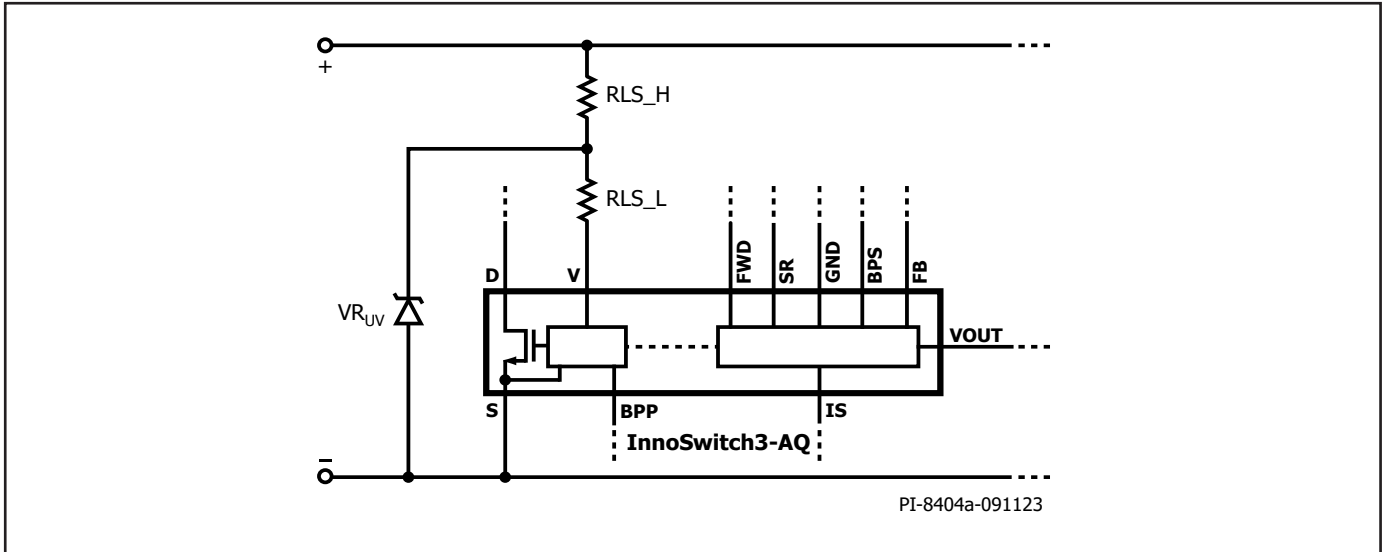


图 8. 通过钳位V引脚提供输入电压仅UV保护的电路

RLS_H和RLS_L (直流母线检测电阻)

PIXIs根据所需的UV电压电平自动计算RLS_H和RLS_L。RLS_H是在所需的缓升电压下使能InnoSwitch3-AQ IC所需的总电阻值。对于高输入电压应用，应将该总值拆分为多个电阻值，以满足电阻的功率额定值、电压额定值和电气间隙和爬电距离要求。

VBIAS

整流偏置电压基于第6.5节中计算得出的偏置绕组圈数。建议不要覆盖该值。

VF_BIAS

默认情况下PIXIs取值0.7V。可以更改该值，以匹配用于整流偏置绕组输出的实际二极管的正向电压。

反馈元件 (RFB_UPPER、RFB_LOWER、CFB_LOWER)

PIXIs自动计算输出反馈网络以满足所需的输出调整电压。建议按原样使用这些值。

SRFET

下拉菜单中提供了几种同步整流MOSFET (SR FET)。所选SR FET的击穿电压(VBREAKDOWN_SRFET)和导通时间漏极电阻(RDSON_SRFET)将显示在设计表格中。

如果要使用的MOSFET不在列表中，则SR FET的选择应遵循第7.5节中规定的标准。

PIXIs Designer		Magnetics Designer		InnoSwitch3-AQ Flyback Design Spreadsheet		
DCDC_InnoSwitch3AQ_Flyback_031423; Rev.3.5		INPUT	INFO	OUTPUT	UNITS	
▼ SECONDARY COMPONENTS SELECTION						
171	FEEDBACK COMPONENTS					
172	RFB_UPPER			100.00	kΩ	Upper feedback resistor (connected to the output terminal)
173	RFB_LOWER			11.80	kΩ	Lower feedback resistor
174	CFB_LOWER			330	pF	Lower feedback resistor decoupling capacitor

图 9. 次级元件的选择 (反馈网络)

6.6 变压器设计

在此阶段，可以使用PIXIs中的“变压器设计”选项卡评估变压器。在“变压器设计”中有一些窗口，可从中调整变压器设计或生成文档文

件。图10所示为“变压器设计”选项卡和详细信息窗口。每个窗口的功能详述如下：

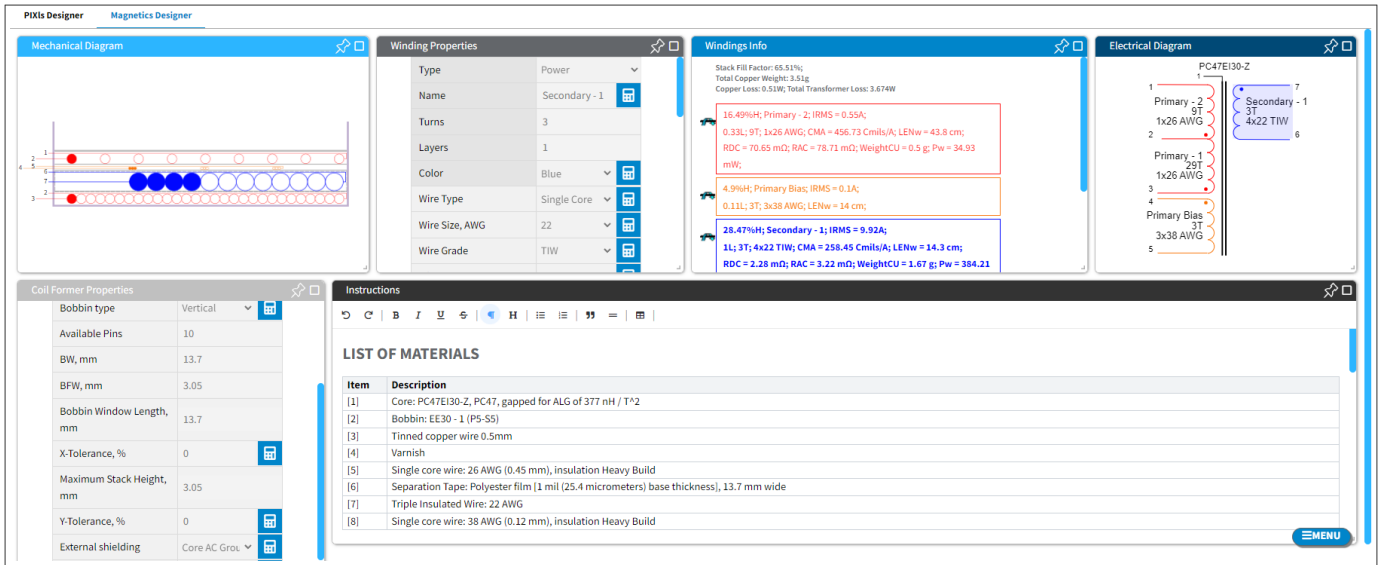


图 10. PIXIs的“变压器设计”窗口

绕制结构图

此窗口显示了骨架绕组面积一半的横截面视图。该视图为制作变压器的人员提供了视觉指导，帮助他们了解绕线顺序和方向、位置、所需的胶带层数以及每个绕组端子的引脚。该视图还说明了变压器的电流填充系数，并让设计人员了解变压器结构的复杂性。

绕组信息

该部分显示计算出的最差情况下的电流密度、有效值电流和功率损耗值。此外，还显示直流电阻、交流电阻和每个特定绕组所需的估计导线长度等参数。此窗口的顶部显示最差情况下的磁芯损耗、铜损和填充系数。与绕制结构图一起，此窗口提供了有关变压器设计可制造性的重要信息。

绕组特性

此窗口允许用户更改设计中每个绕组中使用的导线类型和数量。单击电气原理图窗口中的某个绕组，则会在此窗口中显示该绕组的特性。可以在此处通过调整导线特性并在绕组信息窗口中检查结果来进行优化。如果铜损占变压器损耗的大部分，则更应进行此类优化。

电气原理图

变压器设计的电气原理图。单击特定绕组可在“绕组特性”窗口中查看其信息。

线圈骨架特性

此窗口显示所采用线圈骨架的相关信息。

说明

完成变压器设计后，PIXIs会自动生成一组有关如何制作变压器的说明。该说明可以为生成厂商提供指导，也可以添加到设计文档中。除了制作说明外，变压器的BOM也包含在此处。

The screenshot displays the PIXLS Designer Magnetics Designer software interface. The left pane shows the 'Coil Former Properties' table, and the right pane shows the 'Instructions' window with a 'LIST OF MATERIALS' table and 'WINDING INSTRUCTIONS' section.

Coil Former Properties	
Core Type	EE30
Part Number	PC47EE30-Z
Core Material	PC47
Coil Former Part Number	EE30 - 1 (P5-S5)
Bobbin type	Vertical
Available Pins	10
BW, mm	13.7
BFW, mm	3.05
Bobbin Window Length, mm	13.7
X-Tolerance, %	0
Maximum Stack Height, mm	3.05
Y-Tolerance, %	0
External shielding	Core AC Gro.
Core connect to	1

Item	Description
[1]	Core: PC47EE30-Z, PC47, gapped for ALG of 377 nH / T*2
[2]	Bobbin: EE30 - 1 (P5-S5)
[3]	Tinned copper wire 0.5mm
[4]	Varnish
[5]	Single core wire: 26 AWG (0.45 mm), insulation Heavy Build
[6]	Separation Tape: Polyester film [1 mil (25.4 micrometers) base thickness], 13.7 mm wide
[7]	Triple Insulated Wire: 22 AWG
[8]	Single core wire: 38 AWG (0.12 mm), insulation Heavy Build

WINDING INSTRUCTIONS

1. Primary - 1
Start with 1 lead(s) of Item [5] from Pin 3, and wind 29 turns in Clockwise direction in total of 1 layer(s). Wind one layer from left to right. Finish this winding on Pin 2. Add 1 layer(s) of tape, Item [6], on the top.

2. Secondary - 1
Start with 4 lead(s) of Item [7] from Pin 7, and wind 3 turns in Clockwise direction in total of 1 layer(s). Wind one layer from left to right. Spread the winding evenly across the entire bobbin. Finish this winding on Pin 6. Add 1 layer(s) of tape, Item [6], on the top.

3. Primary Bias
Start with 3 lead(s) of Item [8] from Pin 4, and wind 3 turns in Clockwise direction in total of 1 layer(s). Wind one layer from left to right. Spread the winding evenly across the entire bobbin. Finish this winding on Pin 5. Add 1 layer(s) of tape, Item [6], on the top.

4. Primary - 2
Start with 1 lead(s) of Item [5] from Pin 2, and wind 9 turns in Clockwise direction in total of 1 layer(s). Wind one layer from left to right. Spread the winding evenly across the entire bobbin. Finish this winding on Pin 1. Add 2 layer(s) of tape, Item [6], on the top.

BUILDING PREPARATIONS

图 11. 变压器设计工具说明窗口

6.7 输入电压设置点分析

输入: **USER_VINDC**、**USER_ILIMIT**、**USER_LPRIMARY**、**POUT**、**EFFICIENCY**、**Z_FACTOR**

在本部分, 设计人员可以仿真所得出的初级电流、磁通密度和开关频率与输入电压、输出功率、InnoSwitch3-AQ电流限流点和电感值之间的关系。本部分可用于确定最差情况下的初级电流、频率和磁通密度值, 这

些值与设计的其他方面相关, 例如输入滤波器的计算和大小、缓冲器设计、元件选择和PCB布局。在验证设计在极低输入电压下的峰值功率能力时, 本部分也很有用。

PIXls Designer		Magnetics Designer		InnoSwitch3-AQ Flyback Design Spreadsheet		
DCDC_InnoSwitch3AQ_Flyback_031423; Rev.3.5		INPUT	INFO	OUTPUT	UNITS	
INPUT VOLTAGE SET-POINTS ANALYSIS						
224	TOLERANCE CORNER					
225	USER_VINDC	1000		1000	V	Input DC voltage corner to be evaluated
226	USER_ILIMIT	TYP	▼	2.130	A	Current limit corner to be evaluated
227	USER_LPRIMARY	TYP	▼	543.8	uH	Primary inductance corner to be evaluated
228						
229	OPERATING CONDITION SELECTION					
230	POUT			60.00	W	Output power to be evaluated
231	EFFICIENCY			0.85		Converter efficiency to be evaluated
232	Z_FACTOR			0.50		Z-factor to be evaluated
233	FSWITCHING			60259	Hz	Maximum switching frequency at the output power to be evaluated
234	KP			2.143		Measure of continuous/discontinuous mode of operation
235	MODE_OPERATION			DCM		Mode of operation
236	DUTYCYCLE			0.065		Primary switch duty cycle
237	TIME_ON			1.086	us	Primary switch on-time
238	TIME_OFF			15.509	us	Primary switch off-time
239						
240	PRIMARY CURRENT					
241	Iavg_PRIMARY			0.065	A	Primary switch average current
242	IPEAK_PRIMARY			1.996	A	Primary switch peak current
243	IPEDESTAL_PRIMARY			0.000	A	Primary switch current pedestal
244	IRIPPLE_PRIMARY			1.996	A	Primary switch ripple current
245	IRMS_PRIMARY			0.295	A	Primary switch RMS current
246						
247	MAGNETIC FLUX DENSITY					
248	BPEAK			2811	Gauss	Peak flux density
249	BMAX			2574	Gauss	Maximum flux density
250	BAC			1287	Gauss	AC flux density (0.5 x Peak to Peak)
251						
252						

图 12. PIXls输入电压设置点分析部分

6.7.1 估算InnoSwitch3-AQ温升

建议在继续设计之前先估算InnoSwitch3-AQ IC的温升，以确认InnoSwitch3-AQ IC在所有工作条件下都不会进入OTP状态。温升估算方法概述如下。

估算温升时的重要说明：

- a. 对于输入电压范围非常宽的设计（例如，30VDC至1000VDC输入电压设计），应在最高输入电压和最大输出负载下计算损耗和温升。这是因为，对于宽电压范围的设计，变换器在较高输入电压下进入深度DCM模式，不再发生波谷开通。因此，InnoSwitch3-AQ的总损耗将主要取决于开关损耗。
- b. 对于输入电压范围相对较小的设计（例如150VDC至500VDC），最差情况损耗往往是出现最小输入电压下，这是因为波谷开通会降低开关损耗，而导通损耗占主导地位。如果变换器在较低的输入电压下以CCM模式工作，损耗也可能更高。因此，应在最小输入电压和最大输出负载下进行温升计算。

估算InnoSwitch3-AQ温升的步骤

1. 使用设置点分析从PIXIs获取所需工作条件的数据

相关数据包括开关频率（第233行）、初级有效值电流（第245行）和输入电压（第225行）。

例如在图12中，我们获取以下数据：

FSWITCHING: 60256Hz

IRMS_PRIMARY: 0.295A

输入电压: 1000V（在1000V时器件处于深度DCM模式，因此不会出现波谷开通）

2. 检查所用InnoSwitch3-AQ器件的漏极电容功率图并估算开关损耗
图13所示的漏极电容功率曲线适用于100kHz的开关频率。特定工作点的开关损耗可以通过根据工作点开关频率缩放图中的值来估算。

$$P_{\text{LOSS(SWITCHING)}} = \frac{\text{FSWITCHING}}{100 \text{ kHz}} \times V_{\text{IN}} \text{ 下的漏极电容功率}$$

对于(1)中的工作点，开关损耗估算如下（见图13）：

$$P_{\text{LOSS(SWITCHING)}} = \frac{60.256 \text{ kHz}}{100 \text{ kHz}} \times 580 \text{ mW} = 349.5 \text{ mW}$$

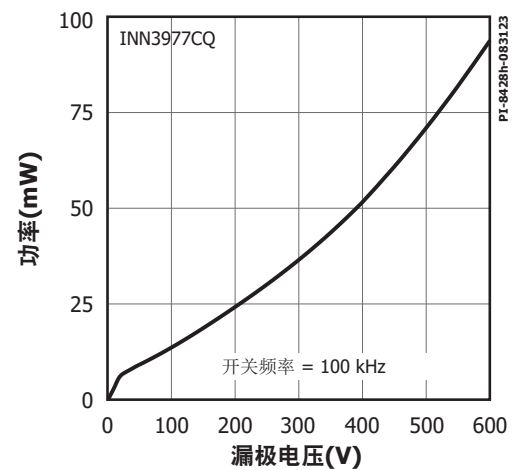
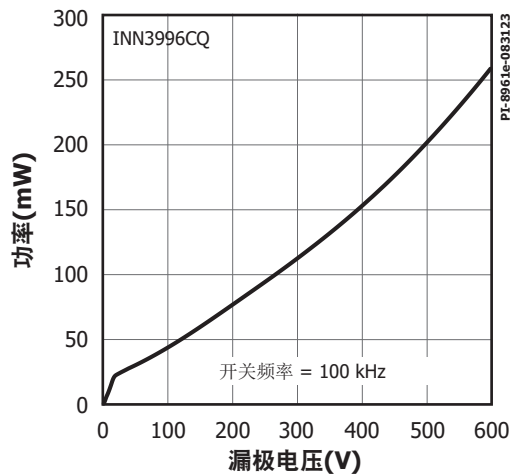
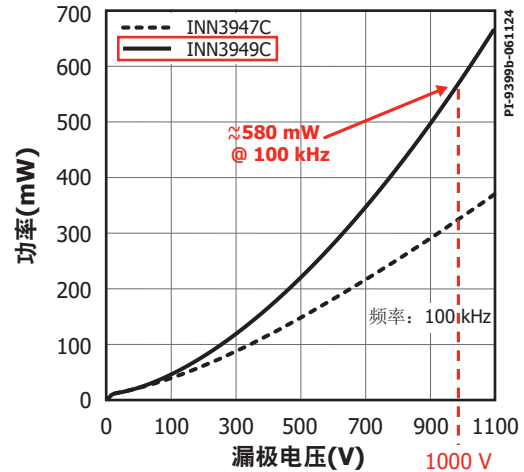
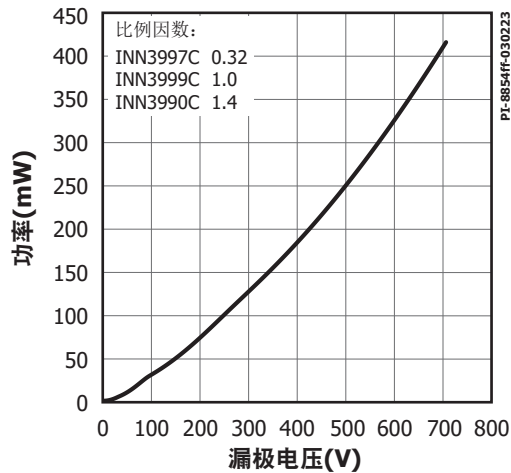


图 13. InnoSwitch3-AQ IC 产品系列中各器件在100kHz下的漏极电容功率

3. 查看PIXIs中第76行，获取InnoSwitch3-AQ器件在125°C下的 $R_{DS(ON)}$

对于INN3949CQ, $R_{DS(ON)MAX} = 1.1\Omega$

4. 使用下式计算总功率损耗:

$$P_{LOSS(INNO)} = P_{LOSS(SWITCHING)} + P_{LOSS(CONDUCTION)}$$

$$P_{LOSS(INNO)} = P_{LOSS(SWITCHING)} + I_{PRI(RMS)}^2 R_{DS(ON)MAX}$$

根据我们的示例，可以得出

$$P_{LOSS(INNO)} = 349.5 \text{ mW} + (0.295)^2 (1.1) = 349.5 \text{ mW} + 95.7 \text{ mW}$$

$$P_{LOSS(INNO)} = 445.2 \text{ mW}$$

5. 使用数据手册中的 R_{TH} 计算温升

数据手册中提供了InnoSwitch相对于连接到源极引脚的特定铺铜散热面积的热阻信息。假设散热面积为1平方英寸，结到环境的热阻为 $R_{TH(JA)} = 70^\circ\text{C/W}$ 。

对于445.2mW的损耗，InnoSwitch3-AQ IC的温升将为：

$$T_{RISE} = R_{TH(JA)} P_{LOSS(INNO)} = 70 \times 0.4452 = 31.16^\circ\text{C}$$

在25°C环境温度下的结温将为：

$$T_J = T_{AMB} + T_{RISE} = 25 + 31.16 = 56.16^\circ\text{C}$$

在105°C环境温度下，温升估算值将为：

$$T_J = T_{AMB} + T_{RISE} = 105 + 31.16 = 136.16^\circ\text{C}$$

该值仍低于InnoSwitch3-AQ IC的过温关断限值($T_{SD} = 142^\circ\text{C}$)。所有温升计算均须在实际测试期间进行验证。

热阻

热阻:	INN3977CQ、INN3996CQ、INN3997CQ、INN3999CQ和INN3990CQ	备注:
	(θ_{JA}).....76°C/W ¹ , 65°C/W ²	1. 焊在0.36平方英寸(232mm ²)、2盎司(610g/m ²)铜箔区域。
	(θ_{JC}).....8°C/W ³	2. 焊在1平方英寸(645mm ²)、2盎司(610g/m ²)铜箔区域。
	INN3947CQ	3. 壳体温度在塑封体顶部测量。
	(θ_{JA}).....92°C/W ¹ , 64°C/W ²	
	(θ_{JC}).....19°C/W ³	
	INN3949CQ	
	(θ_{JA}).....76°C/W ¹ , 70°C/W ²	
	(θ_{JC}).....11°C/W ³	

图 14. InnoSwitch3-AQ器件相对于给定铜散热面积的热阻

6.7.2 估算最小输入电压下的最大峰值功率

如前所述, PIXIs致力于找到一种设计方案, 以满足该工具的应用变量部分中所指定的所有工作条件。这意味着, PIXIs需针对不同工作和负载条件以及所有公差转角找到一种设计方案, 使InnoSwitch3-AQ IC能够利用自身的可变限流点-变频控制方案来控制输出。通常, 对于给定的输入电压和负载组合, 如果TIME_ON (PIXIs第237行) 和TIME_OFF (PIXIs第238行)的INFO (信息) 字段未显示任何“信息”或“警告”标志, 则说明可变限流点-变频控制方式可行。如果发出警告, 则变换器将无法为该特定条件提供所需的功率。因此, 所述条件超出了变换器的工作范围。但是, 当TIME_ON行中出现“信息”消息时, 可能意味着变换器仍然可以在所需的负载条件下调整输出。

TIME_ON行中的“信息”标志表示控制器已从可变限流点-变频控制方式转换为固定导通时间控制。控制器将InnoSwitch3-AQ IC的导通时间固定为低至11.75 μ s, 并通过增加频率来控制输出以提供更多功率。这在评估设计以检查其在最小输入电压限值或更低至30VDC下的峰值功率能力时非常有用。

例如, 图3中的设计在60VDC输入时需要6W。但是, 使用设置点分析时我们可以看到, 在60V输入下变换器仍然可以提供高达55W的功率, 如图15所示。进一步将输出功率增加到56W (图16) 时, PIXIs发出TIME_OFF警告, 表明在此条件下无法再调整输出。

PIXIs Designer Magnetics Designer						PIXIs Designer Magnetics Designer					
DCDC_InnoSwitch3AQ_Flyback_031423; Rev.3.5						DCDC_InnoSwitch3AQ_Flyback_031423; Rev.3.5					
INPUT	INFO	OUTPUT	UNITS	InnoSwitch3-AQ Flyback Design Spreadsheet		INPUT	INFO	OUTPUT	UNITS	InnoSwitch3-AQ Flyback Design Spreadsheet	
INPUT VOLTAGE SET-POINTS ANALYSIS						INPUT VOLTAGE SET-POINTS ANALYSIS					
224	TOLERANCE CORNER					224	TOLERANCE CORNER				
225	USER_VINDC	60		60	V	225	USER_VINDC	60	60	V	Input DC voltage corner to be evaluated
226	USER_ILIMIT	TYP		2.130	A	226	USER_ILIMIT	TYP	2.130	A	Current limit corner to be evaluated
227	USER_LPRIMARY	TYP		543.8	uH	227	USER_LPRIMARY	TYP	543.8	uH	Primary inductance corner to be evaluated
228						228					
229	OPERATING CONDITION SELECTION					229	OPERATING CONDITION SELECTION				
230	POUT	53.00		53.00	W	230	POUT	55.00	55.00	W	Output power to be evaluated
231	EFFICIENCY			0.85		231	EFFICIENCY		0.85		Converter efficiency to be evaluated
232	Z FACTOR			0.50		232	Z FACTOR		0.50		Z-factor to be evaluated
233	FSWITCHING			61104	Hz	233	FSWITCHING		64482	Hz	Maximum switching frequency at the output power to be evaluated
234	KP			0.637		234	KP		0.597		Measure of continuous/discontinuous mode of operation
235	MODE_OPERATION			CCM		235	MODE_OPERATION		CCM		Mode of operation
236	DUTYCYCLE			0.718		236	DUTYCYCLE		0.718		Primary switch duty cycle
237	TIME_ON		Info	11.750	us	237	TIME_ON		11.137	us	Primary switch on-time
238	TIME_OFF			4.616	us	238	TIME_OFF		4.372	us	Primary switch off-time

图 15. 在60V输入下的设置点分析-输出功率可达53W和55W, 但必须评估温升性能

PIXIs Designer		Magnetics Designer					
DCDC_InnoSwitch3AQ_Flyback_031423; Rev.3.5		INPUT	INFO	OUTPUT	UNITS	InnoSwitch3-AQ Flyback Design Spreadsheet	
▼ INPUT VOLTAGE SET-POINTS ANALYSIS							
224	TOLERANCE CORNER						
225	USER_VINDC	60		60	V	Input DC voltage corner to be evaluated	
226	USER_ILIMIT	TYP ▼		2.130	A	Current limit corner to be evaluated	
227	USER_LPRIMARY	TYP ▼		543.8	uH	Primary inductance corner to be evaluated	
228							
229	OPERATING CONDITION SELECTION						
230	POUT	56.00		56.00	W	Output power to be evaluated	
231	EFFICIENCY			0.85		Converter efficiency to be evaluated	
232	Z FACTOR			0.50		Z-factor to be evaluated	
233	FSWITCHING			66356	Hz	Maximum switching frequency at the output power to be evaluated	
234	KP			0.578		Measure of continuous/discontinuous mode of operation	
235	MODE_OPERATION			CCM		Mode of operation	
236	DUTYCYCLE			0.718		Primary switch duty cycle	
237	TIME_ON			10.823	us	Primary switch on-time	
238	TIME_OFF		Warning	4.247	us	Primary switch off-time is less than 4.37us. The device will not be able to deliver the output power	

图 16. 60V输入、56W输出下的设置点分析 - TIME_OFF的警告标志意味着无法调整输出

6.7.3 低输入电压下具有功率要求的变换器的替代设计方法

有时，在非常低的输入电压下生成一个需要特定功率的可行设计可能具有挑战。为此，建议仅将规格中的额定输入范围作为PIXIs应用变量部分的输入值来计算设计，然后使用设置点分析部分检查是否可以在较低电压下满足功率要求。

例如，电源设计具有以下功率要求：

1. 输入电压：30VDC至900VDC – 不过，额定输入电压范围仍仅限300VDC到900VDC。
2. 输出电压：15VDC。
3. 输出功率：在整个输入范围内为15W（30VDC至900VDC）。

在PIXIs中计算此设计方案时，我们不是将30VDC至900VDC作为输入，而是省略30VDC这一工作条件，仅使用300VDC至900VDC工作条件：

PIXIs Designer		Magnetics Designer		InnoSwitch3-AQ Flyback Design Spreadsheet		
DCDC_InnoSwitch3AQ_Flyback_031423; Rev.3.5		INPUT	INFO	OUTPUT	UNITS	Design Title
APPLICATION VARIABLES						Design Title
3	VOUT	15.00		15.00	V	Output Voltage
4	OPERATING CONDITION 1					
5	VINDC1	900.00		900.00	V	Input DC voltage 1
6	IOUT1	1.000		1.000	A	Output current 1
7	POUT1			15.00	W	Output power 1
8	EFFICIENCY1			0.85		Converter efficiency for output 1
9	Z_FACTOR1			0.50		Z-factor for output 1
10						
11	OPERATING CONDITION 2					
12	VINDC2	300.00		300.00	V	Input DC voltage 2
13	IOUT2	1.000		1.000	A	Output current 2
14	POUT2			15.00	W	Output power 2
15	EFFICIENCY2			0.85		Converter efficiency for output 2
16	Z_FACTOR2			0.50		Z-factor for output 2
17						
18	OPERATING CONDITION 3					
19	VINDC3			0.00	V	Input DC voltage 3
20	IOUT3			0.000	A	Output current 3
21	POUT3			0.00	W	Output power 3
22	EFFICIENCY3			0.00		Converter efficiency for output 3
23	Z_FACTOR3			0.00		Z-factor for output 3

图 17. 仅将工作条件限制在额定输入范围内（300VDC至900VDC）

使用INN3949CQ IC、50kHz最大开关频率、180V的 V_{OR} 以及EFD25磁芯，将会生成一个PIXis设计表格，如以下图18所示。

PRIMARY CONTROLLER SELECTION						
70	ILIMIT_MODE	INCREASED		INCREASED		Device current limit mode
71	VDRAIN_BREAKDOWN	1700		1700	V	Device breakdown voltage
72	DEVICE_GENERIC			INN39X9		Device selection
73	DEVICE_CODE	INN3949CQ		INN3949CQ		Device code
74	PDEVICE_MAX			70	W	Device maximum power capability
75	RDSO _N _25DEG			0.62	Ω	Primary switch on-time resistance at 25°C
76	RDSO _N _125DEG			1.10	Ω	Primary switch on-time resistance at 125°C
77	ILIMIT_MIN			1.981	A	Primary switch minimum current limit
78	ILIMIT_TYP			2.130	A	Primary switch typical current limit
79	ILIMIT_MAX			2.279	A	Primary switch maximum current limit
80	VDRAIN_ON_PRSW			0.06	V	Primary switch on-time voltage drop
81	VDRAIN_OFF_PRSW			1110	V	Peak drain voltage on the primary switch during turn-off
WORST CASE ELECTRICAL PARAMETERS						
86	FSWITCHING_MAX	50000		50000	Hz	Maximum switching frequency at full load and the valley of the minimum input AC voltage
87	VOR	180.0		180.0	V	Voltage reflected to the primary winding (corresponding to set-point 1) when the primary switch turns off
88	KP			9.130		Measure of continuous/discontinuous mode of operation
89	MODE_OPERATION			DCM		Mode of operation
90	DUTYCYCLE			0.062		Primary switch duty cycle
91	TIME_ON_MIN			0.40	us	Minimum primary switch on-time
92	TIME_ON_MAX			1.45	us	Maximum primary switch on-time
93	TIME_OFF			18.79	us	Primary switch off-time
94	LPRIMARY_MIN			203.3	uH	Minimum primary magnetizing inductance
95	LPRIMARY_TYP			214.0	uH	Typical primary magnetizing inductance
96	LPRIMARY_TOL	5.0		5.0	%	Primary magnetizing inductance tolerance
97	LPRIMARY_MAX			224.7	uH	Maximum primary magnetizing inductance
98						
PRIMARY CURRENT						
100	I _{AVG} _PRIMARY			0.054	A	Primary switch average current
101	I _{PEAK} _PRIMARY			1.971	A	Primary switch peak current
102	I _{PEDESTAL} _PRIMARY			0.000	A	Primary switch current pedestal
103	I _{IRIPPLE} _PRIMARY			1.971	A	Primary switch ripple current
104	I _{RMS} _PRIMARY			0.267	A	Primary switch RMS current
TRANSFORMER CONSTRUCTION PARAMETERS						
CORE SELECTION						
110	CORE	EFD25		EFD25		Core selection
111	CORE NAME			EFD25/13/9-3C96		Core code
112	AE			58.0	mm ²	Core cross sectional area
113	LE			57.0	mm	Core magnetic path length
114	AL			2000	nH	Ungapped core effective inductance per turns squared
115	VE			3300	mm ³	Core volume
116	BOBBIN NAME			EFD25/13/9 - 2 (P5-S5)		Bobbin name
117	AW			40.2	mm ²	Bobbin window area - only the bobbin width and height are used to assess fit by the magnetics builder
118	BW			16.40	mm	Bobbin width
119	BH			3.11	mm	Bobbin height
120	MARGIN			0.0	mm	Bobbin safety margin
121						
PRIMARY WINDING						
123	N _{PRIMARY}			24		Primary winding number of turns
124	B _{PEAK}			3766	Gauss	Peak flux density
125	B _{MAX}			3125	Gauss	Maximum flux density
126	B _{AC}			1562	Gauss	AC flux density (0.5 x Peak to Peak)
127	AL _G			372	nH	Typical gapped core effective inductance per turns squared

图 18. 300VDC至900VDC、15V、15W设计的生成结果

然后可以使用设置点分析在30VDC下评估设计，以验证该设计是否能够在30VDC下提供所需的15W功率。如图19所示，得到的变换器将在30VDC下提供15W全功率，但与PIXIs的FSWITCHING_MAX字段

（第86行）中输入的最大值相比，频率会略有增加。最终在该设计被认为可行之前，仍应在所有工作条件下评估元件损耗和温升情况。

PIXIs Designer		Magnetics Designer				InnoSwitch3-AQ Flyback Design Spreadsheet
DCDC_InnoSwitch3AQ_Flyback_031423; Rev.3.5		INPUT	INFO	OUTPUT	UNITS	Design Title
APPLICATION VARIABLES						Design Title
3	VOUT	15.00		15.00	V	Output Voltage
4	OPERATING CONDITION 1					
5	VINDC1	900.00		900.00	V	Input DC voltage 1
6	IOUT1	1.000		1.000	A	Output current 1
7	POUT1			15.00	W	Output power 1
8	EFFICIENCY1			0.85		Converter efficiency for output 1
9	Z_FACTOR1			0.50		Z-factor for output 1
10						
11	OPERATING CONDITION 2					
12	VINDC2	300.00		300.00	V	Input DC voltage 2
13	IOUT2	1.000		1.000	A	Output current 2
14	POUT2			15.00	W	Output power 2
15	EFFICIENCY2			0.85		Converter efficiency for output 2
16	Z_FACTOR2			0.50		Z-factor for output 2
17						
18	OPERATING CONDITION 3					
19	VINDC3			0.00	V	Input DC voltage 3
20	IOUT3			0.000	A	Output current 3
21	POUT3			0.00	W	Output power 3
22	EFFICIENCY3			0.00		Converter efficiency for output 3
23	Z_FACTOR3			0.00		Z-factor for output 3

图 19. 对图18所示的设计在30V输入、15W输出下进行设置点分析

7. 关键外围元件的选择

7.1 初级旁路引脚电容(C_{BPP})

该电容是初级侧控制器的供电去耦电容，还可用于选择内部功率开关的电流限流点。0.47 μ F或4.7 μ F的电容分别设置为STANDARD（标准）或INCREASED（升高）电流限流点。对于 C_{BPP} ，仅使用0805或1206贴片式X7R或COG多层陶瓷电容，且最小额定电压为25V。该电容应尽可能靠近IC放置。

在汽车应用中，建议并联使用两个电容，以符合功能安全要求。将100nF与470nF并联实现STANDARD（标准）电流限流点，100nF与4.7 μ F并联实现INCREASED（升高）电流限流点。请注意，如果后一种组合中的4.7 μ F电容发生故障（假设电容破裂或开路），则器件的电流限流点将在下一个功率周期内恢复到STANDARD，从而导致输出功率能力降低。

如果对 C_{BPP} 仅使用一个电容，切勿使用故障开路电容。

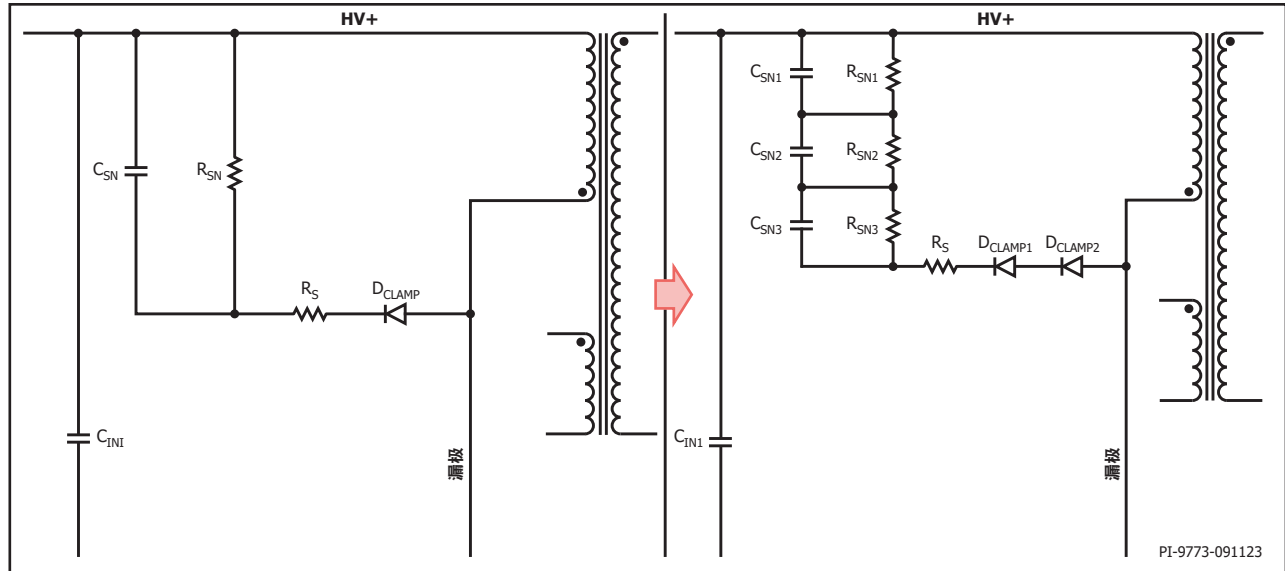


图 20. R2CD缓冲器基本原理图（左）和高压应用的实际方案示例（右）

7.2 初级钳位网络 (D_{CLAMP} 、 R_S 、 R_{SN} 及 C_{SN})

初级钳位网络保护初级开关在关断期间免受大电压尖峰的影响。这些动态电压是由于关断期间的初级电流高 di/dt 、变压器中的漏感及初级环路中的杂散电感造成的。图20所示为R2CD缓冲器的基本原理图，这是一种最常用的反激钳位方案。对于汽车应用，通常需要使用串联元件来满足电压降额和爬电距离要求。对于汽车应用，缓冲器应将InnoSwitch最差情况下漏源极电压的峰值漏极电压限制到 BV_{DSS} 的80%。

钳位二极管 D_{CLAMP} 的反向恢复时间必须小于500ns（快速恢复）。电阻 R_S 提供一定程度的衰减，防止漏感和 C_{SN} 之间的谐振导致过度振荡。电阻 R_{SN} 会泄放存储在电容 C_{SN} 内的能量。电容 C_{SN} 与电阻 R_S 和 R_{SN} 的值取决于具体的设计参数，因此需要针对每个新设计进行优化。

一般的原则是建议减小 C_{SN} 的值，增大 R_{SN} 的值。 R_S 的值应该足够大，以便在可接受的时间内衰减振荡。

可使用下列公式计算R2CD钳位元件值：

$$R_{SN} = \frac{V_{SN}^2}{\frac{1}{2} I_{PK}^2 L_{LK} \frac{V_{SN} f_{SW}}{V_{SN} - V_{OR}}}; C_{SN} = \frac{V_{SN}}{R_{SN} f_{SW} \Delta V_{SN}}; R_S = \sqrt{\frac{L_{LK}}{C_{SN}}}$$

其中

V_{SN} = 钳位电容/电阻的平均电压 $\leq (0.8 \times BV_{DSS}) - V_{IN(MAX)}$

I_{PK} = 峰值开关电流

f_{SW} = 开关频率

L_{LK} = 变压器漏感

V_{OR} = 反射输出电压

ΔV_{SN} = V_{SN} 纹波电压(5-10%)

使用PIXIs的输入设置点分析部分确定上述列出的变量。缓冲器的设计应覆盖所有可能的工作点，因此应评估多个设置点以确定所用变量的最大值。二极管的电压额定值应在最高输入电压下进行评估，而电阻和电容的值应在发生最大功耗的工作点进行计算。

钳位电路很大程度上依赖于实际变压器漏感和初级侧环路电感，因此在原型样机制作完成后，必须对钳位的数值进行调整。

对于任何给定钳位电压 V_{SN} 所需的串联 R_{SN} 数，可使用下方表4作为指导。

所需 R_{SN} 串联电阻数	允许的最大 V_{SN}	
	250V额定电阻	200V额定电阻
1	210V	170V
2	425V	340V
3	635V	510V

表 4. 不同电压额定值和 V_{SN} 所需的串联电阻数

并联电阻数可以通过以下方程式计算得出：

$$\text{并联 } R_{SN} \text{ 电阻串数} = \frac{I_{PK}^2 L_{LK} f_{SW}}{\text{电阻功率额定值} \times \text{串联电阻数}}$$

7.3 偏置供电元件 (D_{BIAS} 、 C_{BIAS} 和 R_{BIAS})

InnoSwitch3-AQ系列器件具有高压内部稳压器，可在偏置电源尚未可用时启动。在功率MOSFET关断期间，该内部稳压器会从漏极引脚吸取电流，将旁路引脚(BPP)电容充电至 V_{BPP} 。当功率MOSFET导通时，器件利用储存在BPP引脚电容内的能量工作。

启动后，InnoSwitch3-AQ初级供电必须来自偏置电源。必须设计外部偏置以向BPP引脚注入足够的电流，以使高压内部稳压器在器件启动后关断。优化偏置供电的另外一个好处是，可提高轻载效率并将空载功耗至几毫瓦。

外部偏置供电包括变压器偏置绕组(N_{BIAS})、二极管(D_{BIAS})、偏置供电滤波电容(C_{BIAS1} 和 C_{BIAS2})及BPP限流电阻(R_{BIAS})，如图21所示。

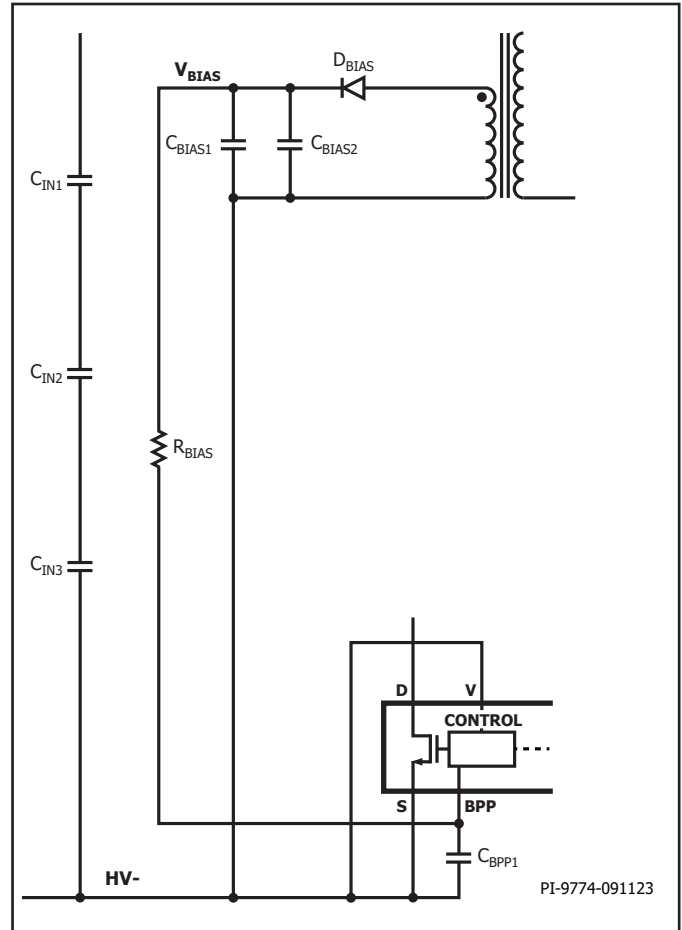


图 21. 使用单个电阻的BPP外部偏置

偏置电路的设计应符合以下要求：

1. 在空载($I_{BPP} > 489\mu A$)和正常工作期间(I_{BPP} 依赖于工作开关频率)向BPP引脚提供足够的电流，这样高压内部稳压器就不需要导通。
2. 确保正常工作期间注入BPP引脚的电流不超过旁路关断阈值电流(I_{SD})，否则会触发自动重启。

空载时的偏置电压值可利用以下公式估算：

$$V_{BIAS} = \frac{N_{BIAS}}{N_{SEC}} V_{OUT} - V_{D_{BIAS}}$$

必须选择变压器偏置绕组圈数(N_{BIAS})和偏置滤波电容,以使偏置电压 V_{BIAS} 在空载下至少为8V。建议使用两个10 μ F的陶瓷电容。 V_{BIAS} 的调整根据负载电流以及偏置绕组与初级绕组的耦合而变化,因此必须对变压器进行优化,以实现主输出 V_{OUT} 和 V_{BIAS} 之间精确的交叉调整率。 R_{BIAS} 的值应满足以下公式:

$$R_{BIAS} = \frac{V_{BIAS(NOLOAD)} - V_{SHUNT}}{I_{S1(MAX)}} \\ I_{S1} + (I_{S2} - I_{S1}) \left(\frac{f_{SW}}{132 \text{ kHz}} \right) < \frac{V_{BIAS(FULLLOAD)} - V_{SHUNT}}{R_{BIAS}} < I_{SD}$$

其中

V_{SHUNT} = 电流注入BPP引脚时的BPP电压

I_{S1} = 空载时的BPP供电电流

I_{S2} = 132 kHz下的BPP供电电流(参见数据手册)

f_{SW} = 满载时的最大开关频率

原型样机制作完成后,就可以优化 R_{BIAS} 的值以实现低空载功耗或最大效率。

7.4 次级旁路引脚电容(C_{BPS})

该电容为次级侧控制器的去耦电容。对于 C_{BPS} ,使用0805或1206、2.2 μ F、 ≥ 25 V的MLCC电容。次级旁路(BPS)引脚电压必须在输出电压达到目标值之前达到4.4V。使用较高的 C_{BPS} 值会导致启动时输出电压过冲。

低于1.5 μ F的电容值将导致出现无法预测的工作情况;因此,不建议使用1.5 μ F及以下的值。电容必须靠近IC引脚放置。由于陶瓷电容的容量会随着直流偏置的增加而下降,因此必须满足 ≥ 25 V额定值和0805或1206封装要求,以保证工作期间具有足够的电容容量。为取得最佳效果,应采用X7R或C0G介质的电容。

7.5 输出同步整流MOSFET (SR FET)

InnoSwitch3-AQ IC具有内置的同步整流(SR)驱动器,允许使用低成本的低压MOSFET进行同步整流,以提高系统效率。由于SR驱动器以输出GND为参考,因此SR FET位于返回回路上。GND是典型的阈值,可确保SR FET在反激导通时间结束时关断($V_{SR(TH)}$)。反激周期开始与SR FET导通之间稍微有一点延迟,以避免电流击穿。SR FET导通期间,存储在电感中的能量传输到负载,电流将继续减小,直到SR FET的电阻 $R_{DS(ON)}$ 的电压降到0V,此时同步整流引脚将门极拉低并同时关断SR FET。在反激式周期的剩余阶段,最小电流将流经SR FET体二极管(参见图22)。在连续导通模式(CCM)下,SR FET会在发送下一个开关周期请求之前关断。

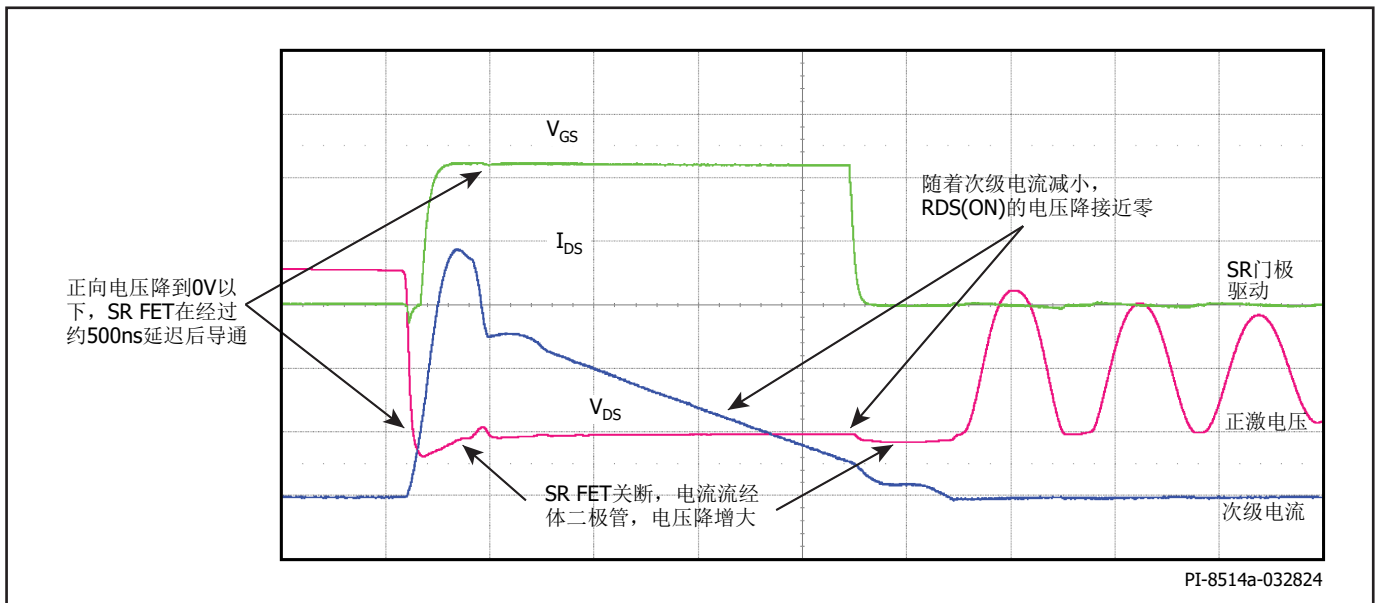
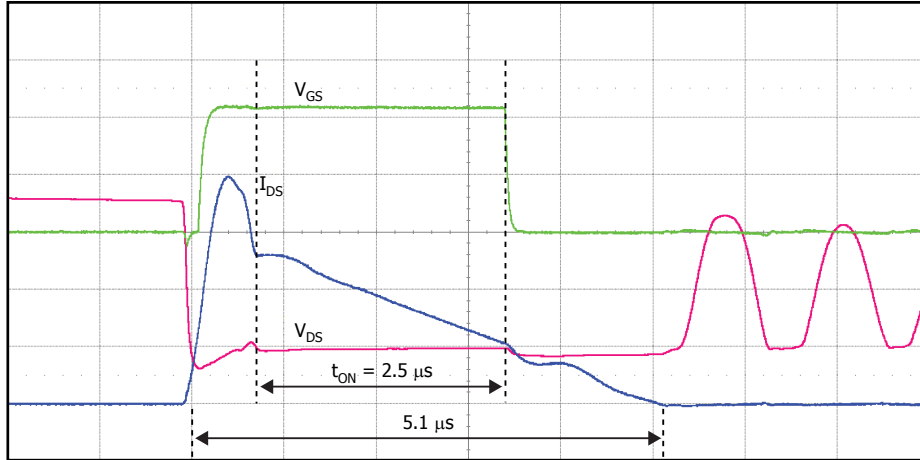


图 22. DCM模式工作时FET的导通和关断

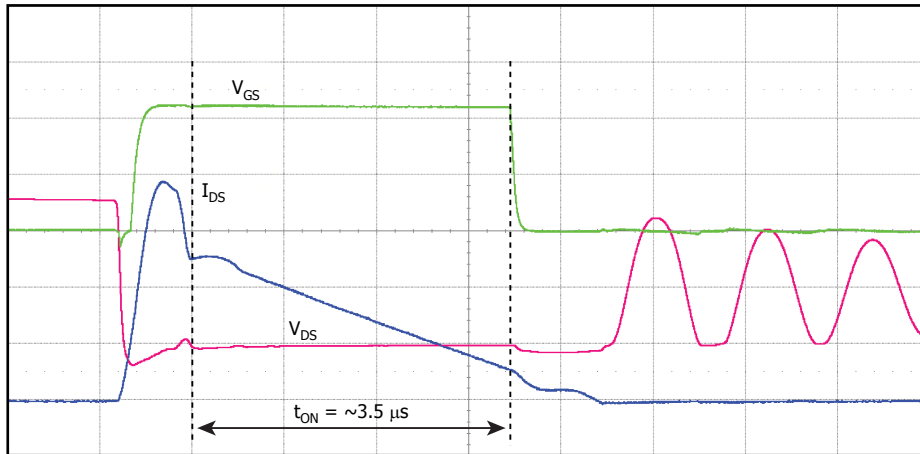
SR FET驱动器使用BPS引脚作为供电端,该电压的典型值为4.4V。因此,具有高阈值电压的SR FET并不合适。推荐使用门极电压阈值范围介于1.5V到2.5V的SR FET。然而,应该检查数据手册特性曲线,确保MOSFET通道得到充分增强,实现4.4V门极驱动,从而实现所需的 $R_{DS(ON)}$ 。

由于SR FET的导通时间终止基于FET漏源极电压在导通周期内何时达到0V,因此使用具有超低 $R_{DS(ON)}$ ($< 5\text{m}\Omega$)的SR MOSFET可导致SR FET驱动信号过早终止。这将导致初级电流流经SR FET体二极管,从而会略微降低系统效率(参见图23)。



PI-8516-050918

$R_{DS(ON)} = 7.5\text{m}\Omega$ 显示 $2.5\mu\text{s}$ 的短SR FET导通时间



PI-8515-050918

$R_{DS(ON)} = 16\text{m}\Omega$ 显示 $3.5\mu\text{s}$ 的长SR FET导通时间

图 23. $R_{DS(ON)}$ 对SR FET导通时间的影响

最低SR FET漏源极导通电阻可利用以下公式来计算近似值:

$$R_{DS(ON)} \geq \frac{0.01 \times V_{OUT}}{I_P \times V_{OR}}$$

较高 $R_{DS(ON)}$ 将导致功耗和温度升高, 而低 $R_{DS(ON)}$ 则将导致成本增加。对于选定的 $R_{DS(ON)}$ 值, 最好根据MOSFET的温升确定该 $R_{DS(ON)}$ 值。

SR FET的电压额定值应至少是PIXIs计算的预期峰值反向电压(PIV)的1.4倍。在设计表格中, SR FET PIV通过施加的最大输入直流母线电压乘以变压器初级与次级圈数比估算出。该值显示为VDRAIN_OFF_SRFET。应在原型开发期间测量实际的SR FET PIV, 以确认相较于所选SR FET的 BV_{DSS} 具有足够的裕量。

$$V_{DSMAX(SRFET)} \geq 1.4 \times V_{REVERSE_RECTIFIER1} \text{ (PIXIs中第186行)}$$

可以使用肖特基二极管或快速恢复二极管代替SR FET进行输出整流。为此，必须将SR引脚连接到InnoSwitch的次级GND引脚。整流二极管通常是低成本设计或高压输出设计的首选。

二极管的直流电流额定值必须至少为平均输出电流的两倍。根据温升和峰值负载条件的持续时间，可能需要增加SR FET或二极管的电流额定值及其散热面积。

在选择SR FET时，另一个关键参数是其体二极管的反向恢复时间(T_{RR})。SR FET的体二极管的反向恢复特性可影响初级FET导通时漏极的电压应力水平。相较于具有较低体二极管 T_{RR} 的SR FET，具有较慢体二极管 T_{RR} 的SR FET可能具有更高的电压应力。请使用具有最低体二极管 T_{RR} 的SR FET。

7.6 SR FET缓冲器

在初级绕组的电压反向（由于初级FET导通）时，输出绕组的漏抗与SR FET电容容值(C_{OSS})之间的相互作用会导致SR电压波形出现振荡。可以使用与SR FET漏极和源极端子并联的串联RC缓冲器来抑制此振荡，如图24所示。可以使用介于 2Ω 和 10Ω 之间的缓冲器电阻（较高的电阻值会导致比较显著的效率下降）。大部分设计当中均可采用 $1nF$ 至 $2.2nF$ 的电容量。还应在硬件测试期间调整RC缓冲器的值。

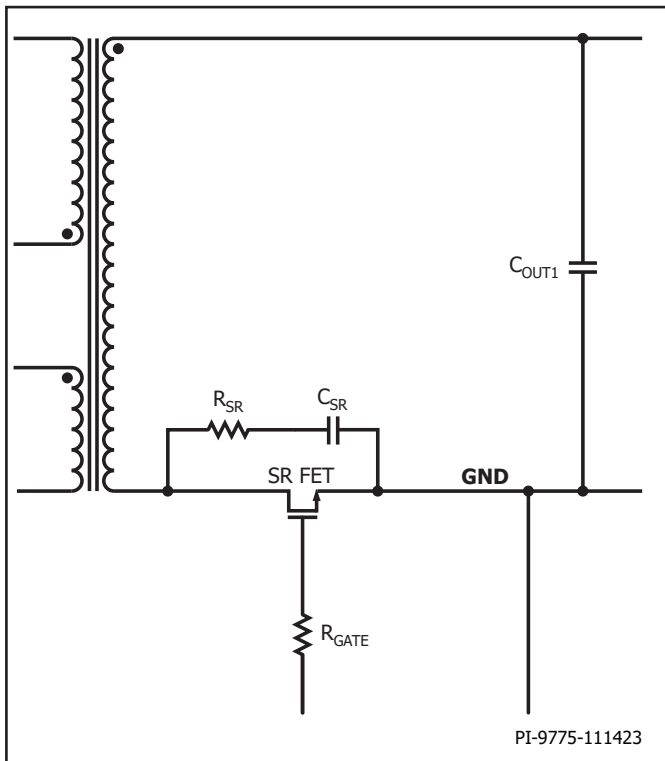


图 24. SR FET缓冲器(C_{SR} 和 R_{SR})

原型样机制作完成后，也可以使用以下步骤来计算SR缓冲器的值：

1. 在未安装SR缓冲器的情况下，将输入电压设置为最小值。接通电源并将输出负载设置为100%。
2. 使用示波器探头测量关断期间SR漏源极振荡的频率(f_{RING})。请参见图25。
3. 使用测得的频率和以下公式计算次级漏感估算值 L_{SLKG} ：

$$L_{SLKG} = \frac{1}{(2\pi f_{RING})^2 C_P}$$

其中

C_P = SR FET的有效散杂电容。可以使用SR FET的 C_{DS} - 查看数据手册了解相关信息。

4. 然后可利用以下公式来计算SR FET缓冲器的值：

$$C_{SR} = 3C_P$$

$$R_{SR} = \sqrt{\frac{L_{SLKG}}{4C_P}}$$

R_{SR} 功耗可通过以下公式计算得出：

$$P_{RSR} = C_{SR} \times V_{DS,SR(MAX)}^2 \times F_{SWITCHING}$$

5. 测试计算出的缓冲器值并进行相应的精调。增加 C_{SR} 和 R_{SR} 会降低关断峰值电压，但同时会降低效率。另一方面，较低的 R_{SR} 值将使SR FET的关断振荡持续时间延长。

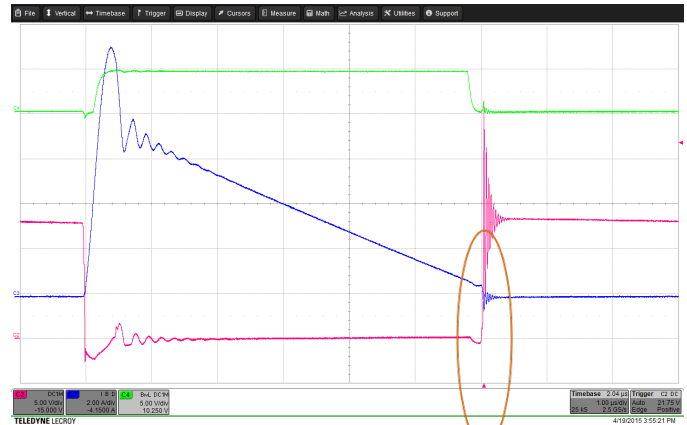


图 25. 测量关断振荡期间（圆圈内）SR FET VDS的振荡频率，以求出SR FET缓冲器值

7.7 正激引脚电阻和FWD滤波电容 (R_{FWD} 、 C_{FWD})

正激引脚(FWD)用于检测SR FET的漏极电压,且对实现精确的导通和关断控制至关重要。该引脚还可用于每当输出电压低于BPS电压时对BPS引脚电容充电。正激引脚应经由电阻 R_{FWD} 连接到同步整流管MOSFET(SR FET)的漏极端子。

推荐使用47至100 Ω 的电阻,确保可获得足够的次级供电电流,并且可在宽输出电压范围内有效工作。不建议使用较低的电阻值,因为这会影响器件的工作,并且影响同步整流时序。

应注意确保正激引脚上的电压绝不超过其绝对最大电压150V。由于正激引脚监测SR FET的漏极电压,因此正激引脚上的峰值电压也是SR FET在关断期间的漏源极电压,包括电压尖峰。

如果所使用的SR FET的额定电压高于150V,并且SR FET漏源极两端的尖峰电压超过FWD引脚的最大电压额定值,则建议使用滤波器来保护FWD引脚(C_{FWD})。可以将一个足以过滤SR FET漏源极电压前沿尖峰的大陶瓷电容与FWD引脚和次级GND并联。100pF至330pF、1206、250V、X7R陶瓷电容足以满足大多数应用的需求。存在次级漏抗等此类寄生元件会导致SR FET漏极引脚上产生振荡。该振荡会干扰IC的工作。数据手册中提供了相应的波形及接受标准。如果发现振荡导致SR FET提前终止,则可以将FWD引脚电阻增加到150 Ω 。

7.8 输出滤波电容容量(C_{OUT})

输出电容的电流纹波额定值应大于设计表格中的计算值IRIPPLE_CAP_OUTPUT。如果没有合适的单个电容可用,则可使用多个并联电容来达到所需的纹波电流额定值。确保纹波电流额定值与电源设计的环境工作温度相匹配。

对于汽车应用,建议使用贴片式铝聚合物固态电容。此类电容尺寸相对小巧、温度范围内特性稳定、ESR非常低,并且具有高有效值纹波电流额定值。

对于预计在极低温度(低至-40 $^{\circ}$ C)下工作的应用,建议使用铝聚合物固态电容,以防止输出电压纹波显著增加。选择电容值的常见规则是每安培输出电流的电容容量为220 μ F至330 μ F。

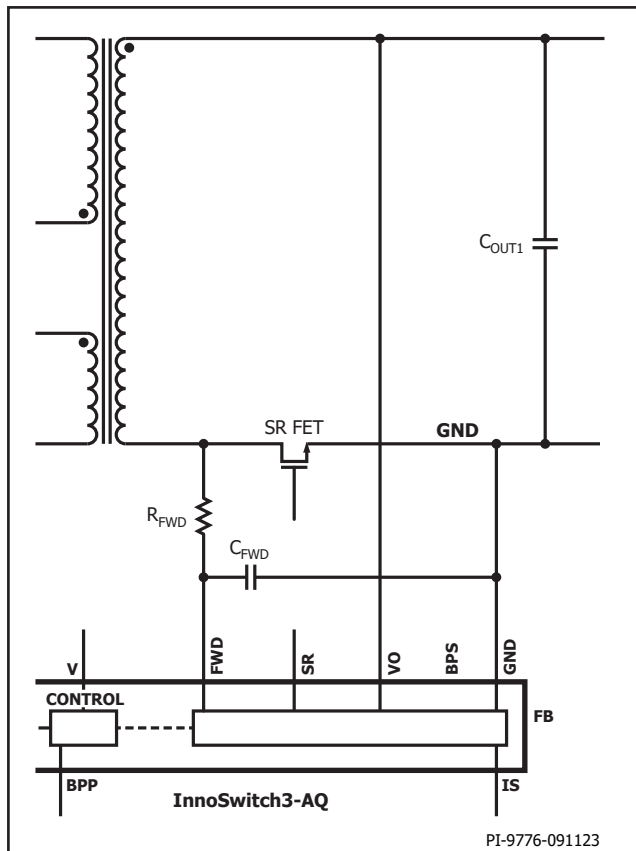


图 26. 用于FWD引脚电流限流和滤波的 R_{FWD} 和 C_{FWD}

8 变压器设计指南

变压器设计必须确保电源可在最低输入电压下提供额定功率。推荐对大部分InnoSwitch3-AQ设计采用在最低预期直流母线电压下0.9的 K_p 值。 K_p 值 <1 可减小初级有效值电流，从而提高变压器效率，但会导致初级侧开关产生更高的开关损耗，进而提高InnoSwitch3-AQ温度。如果 K_p 进一步减小，准谐振开关的优势随之减弱。PIXIs设计表格和内置的“变压器设计”工具可用于优化变压器设计。

8.1 变压器磁芯选择

变压器磁芯的几何尺寸（大小）应足以提供设计所需的功率。面积乘法(AP)可用于验证磁芯尺寸是否适合特定应用。

此外还应考虑磁芯材料。应选择适合具体应用的开关频率和工作温度的磁芯材料。汽车应用的最大环境温度通常为85°C至105°C。在上述工作温度范围内磁芯损耗相对恒定的磁芯材料示例为Ferrotec的3C95、3C96和3C97，如图27所示。EPCOS和TDK等其他供应商提供的合适材料有N87、N97和PC44。

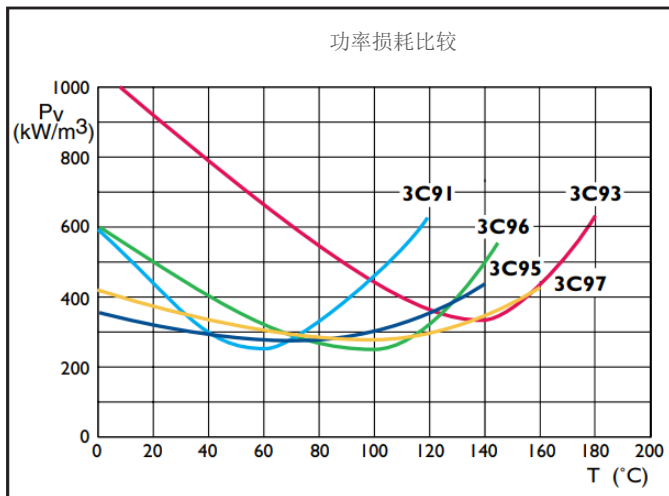


图 27. 不同磁芯材料的每单位体积磁芯损耗相对于工作温度的变化

8.2 最大工作磁通密度

为了限制启动和输出短路时的峰值磁通密度，建议峰值器件限流点下（频率132kHz）的最大磁通密度为3800高斯。一旦选择了具有内置保护特性的InnoSwitch3-AQ IC器件，其峰值限流点也就固定了。在此限流点的磁通密度选择3800高斯，可提供足够的裕量以保证在所述条件下磁芯不会饱和。确保所选磁芯材料的饱和磁通密度在设计的工作温度范围内高于3800高斯。如果选择饱和磁通密度较低的铁氧体磁芯材料，则最大工作磁通密度应相应降低。

8.3 变压器导线选择

为了实现紧凑的变压器设计，同时保持初级和次级之间的加强绝缘，建议在初级/高压绕组上使用全绝缘线(FIW)，在次级/低压绕组上使用三层绝缘线(TIW)。

FIW提供与TIW相同的绝缘水平，但其整体直径较小，因此绕线更容易，并可降低整体绕组堆叠高度。

由于初级(FIW)导线和次级导线(TIW)均被视为加强绝缘，因此可以将绕组层之间的绝缘胶带使用量减少到最低限度（甚至不用），从而改善变压器的整体漏感。

可以使用PIXIs的“变压器设计”选项卡来优化导线直径。应同时选择初级和次级导线，以尽量减少由此产生的铜损耗。

8.4 变压器漏感和绕组电容量

变压器磁芯几何尺寸和绕组配置会显著影响漏感。为了尽量降低漏感，初级绕组的绕制应完全沿着骨架绕组宽度进行。对于次级绕组，应尽可能靠近初级绕组绕制，并在最大程度上控制绝缘胶带的使用。改善漏感的另一种方法是选择合适的线径尺寸，以减少绕组层数，同时保持足够的电流密度。

对于某些设计，稍微增加变压器导线的电流密度会更有利，因为这样可以减少绕组数量，进而降低漏感。这种设计通常可以提高效率并降低元件应力，特别是在初级侧开关中。

此外，还应尽可能降低变压器绕组间电容量，以降低来自绝缘临界耦合产生的共模噪声。变压器漏感与绕组电容量成反比关系，如果绕组间电容量减小，则漏感增大。

最终，一旦完成原型样板，即应进行优化。应对变压器原型机反复调整，直到符合规格要求且性能一致。

8.5 局部放电(PD)和变压器耐压测试

建议对变压器进行局部放电和耐压测试。耐压测试在于测量变压器中使用的初级到次级绝缘的介电击穿电压，但不能提供随着时间推移绝缘可靠性的相关信息。成功的PD测试可确保在设计中使用高质量的材料，从而降低实际工作过程中随时间推移发生故障的风险。有关执行PD测试和根据应用计算所需测试电压的详细信息，请参阅IEC 60664-1和IEC 61800-5-1。

9. 补充电路

9.1 输入线滤波器（共模扼流圈(CMC)或差模LC滤波器）

9.1.1 输入CMC滤波器

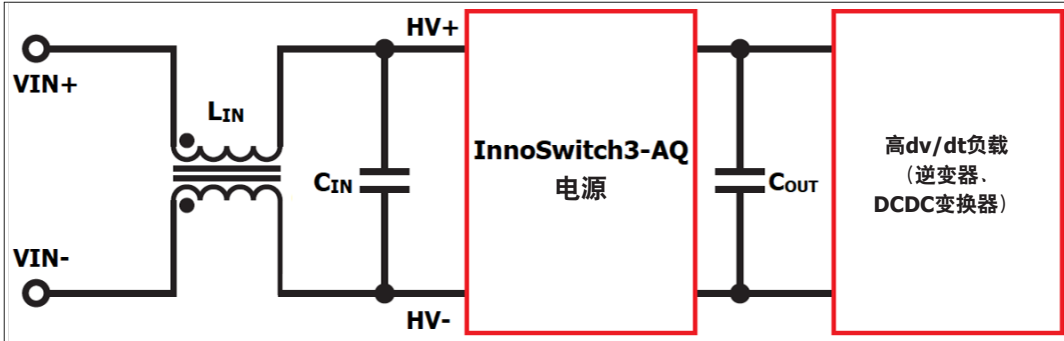


图 28. 适用于高共模噪声或高dv/dt（无阻尼）负载的典型输入CMC滤波器

对于采用反激式变换器为具有高dv/dt开关的电路供电的应用，例如大功率DC/DC变换器或逆变器，强烈建议在电源输入侧添加一个CMC，如图28所示。适用于高共模噪声或高dv/dt（无阻尼）负载的典型输入CMC滤波器。CMC可防止共模噪声通过电源电路，从而影响到InnoSwitch3 IC的正常工作。所用CMC的值取决于以下因素：

1. CMC噪声的频谱成分
2. 反激式变压器的绕组间电容
3. 系统中存在的寄生电容

图29所示为逆变器系统一相的简图，其中基于InnoSwitch3的反激式变换器(PSU)为控制功率模块（IGBT或SiC）的门极驱动单元(GDU)供电。图中显示了由于PSU和GDU中都存在寄生电容，下管开关发射极/源极节

点的高dv/dt产生的共模噪声可能经由的路径。虽然两个开关的集电极/漏极节点也有高dv/dt开关，但由于功率模块的构造方式不同，开关的漏极/集电极与模块基板（C10和C11）之间存在相对较大的电容，而模块基板通常连接到外壳接地。电容C10和C11连同上管开关(C8)的输出电容有效形成了一个低阻抗环路，使上管开关发射极/源极节点产生的噪声电流有效短路，从而阻止其进一步传输。这意味着下管开关发射极/源极处的dv/dt成为共模噪声的主要来源，要减少上述噪声进入PSU并干扰InnoSwitch 3-AQ IC工作，最好的方法是在变换器输入端使用CMC，如图30所示。

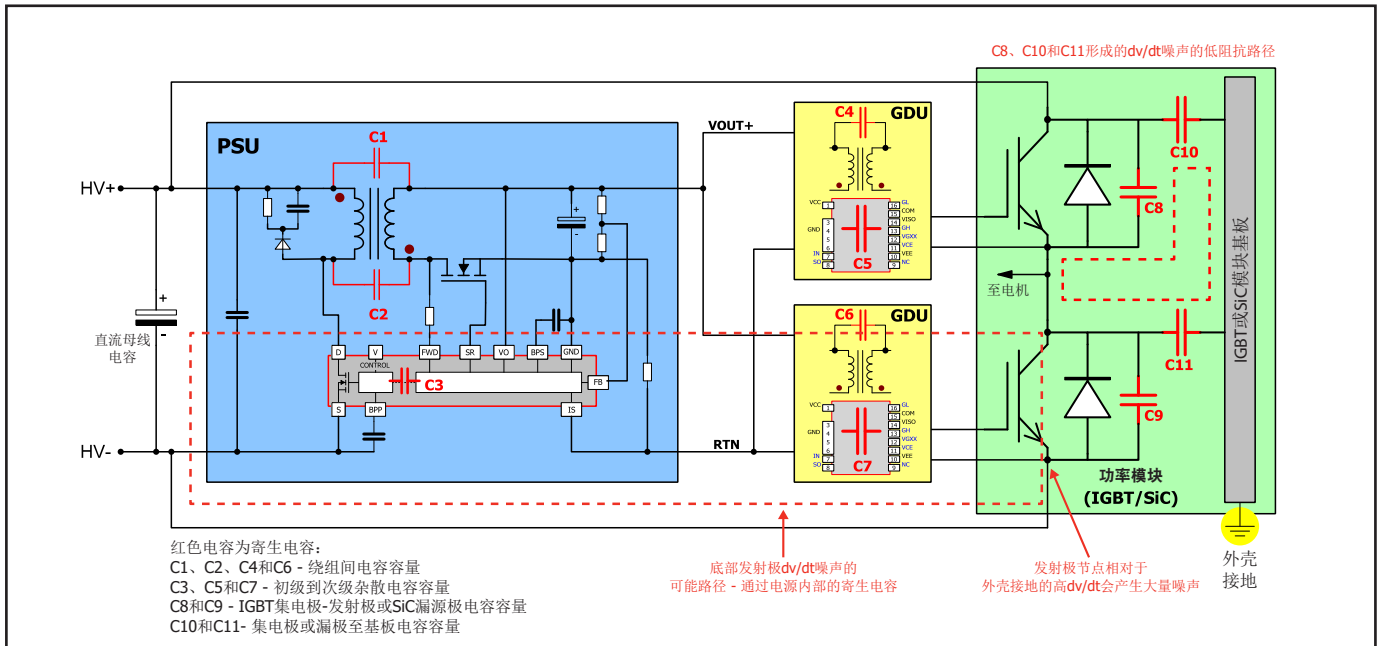


图 29. 逆变器系统中的寄生电容以及由于高dv/dt引起的噪声路径。

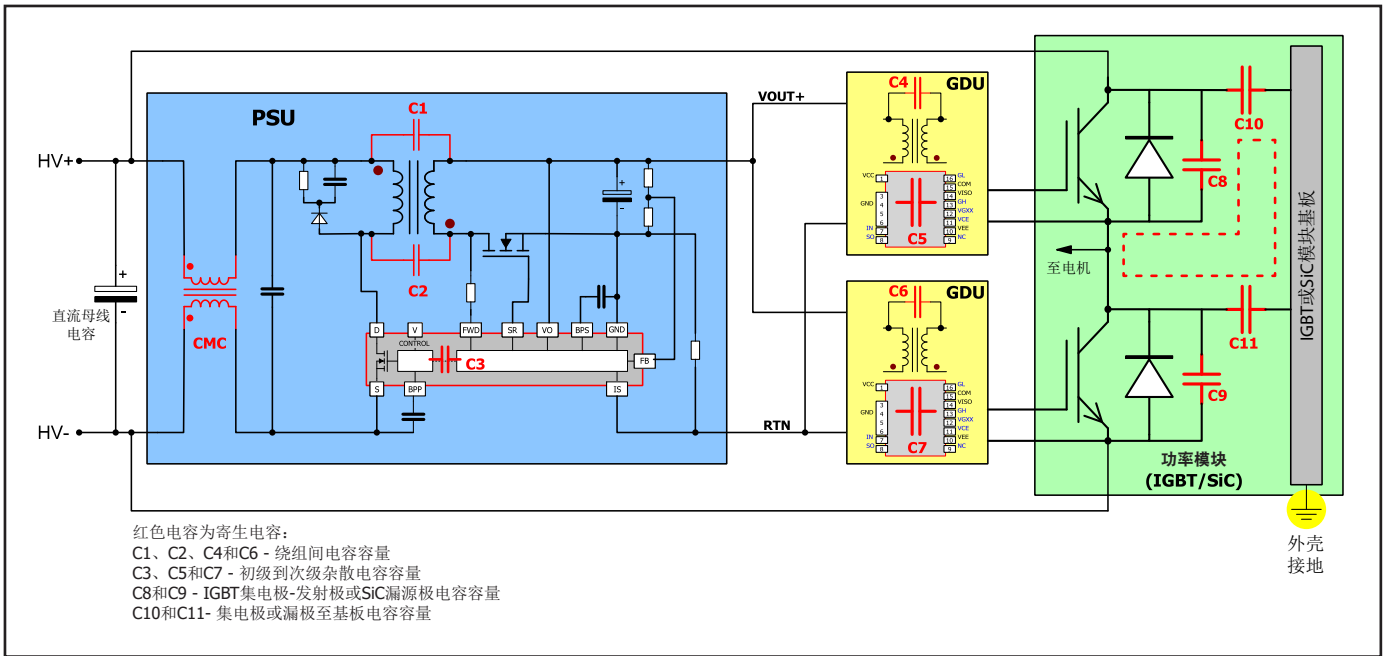


图 30. InnoSwitch3-AQ电源输入端的CMC可降低逆变器的dv/dt噪声。

准确确定系统的寄生电容通常具有挑战性，因此一般而言，只要符合以下要求通常就会采用最大电感值CMC：

1. CMC电流额定值应至少为反激式变换器最大初级有效值电流的1.5倍。这种情况发生于在最小输入电压下提供额定输出功率时。
2. 确保CMC的绕组间绝缘符合IEC 60664-1和其他相关标准。检查CMC焊盘是否满足电气间隙和爬电距离要求，以及绕组间绝缘是否通过耐压和PD测试要求。
3. CMC必须符合AECQ认证，并应满足环境要求。

CMC的漏感表现为与CMC串联的差模电感，因此通过选择具有较大漏感的CMC并计算相应的 C_{IN} ，就会得到同时具有共模和差模抑制且元件数极少的滤波器。

9.1.2 具有阻尼功能的输入差模LC滤波器

如果输入端存在显著的差模噪声，或者需要防止电源的开关噪声进入输入母线，可使用输入LC滤波器。滤波器的基本设计规则如下：

1. 滤波器的截止频率通常设置为开关频率的1/10，或与需衰减的频率相差十倍。通过以下公式可得出截止频率：

$$f_o = \frac{1}{2\pi \sqrt{L_{DM} C_{DM}}} \text{ Hz}$$

2. 电源的输入阻抗应远大于LC滤波器的特性阻抗。

$$Z_{DM} \leq \frac{1}{10} Z_{IN}$$

$$Z_{DM} = \sqrt{\frac{L_{DM}}{C_{DM}}}; Z_{IN} = \frac{V_{IN}^2 \times \text{效率}}{P_{OUT}}$$

在典型的电源中，电解电容的ESR通常能足以抑制LC滤波器截止频率下的增益峰值。对于高压输入汽车电源，使用的输入电容通常是ESR非常低的陶瓷电容。这会导致滤波器具有高Q因子，从而出现非常高的截止频率增益。应在滤波器网络中添加阻尼，防止输入端发生振荡，否则可能会影响变换器的工作。

对于高压输入应用，并联RC阻尼网络不切实际，因为它需要更大值的阻尼电容及多个电阻进行串联。更为实用的方法是如图31所示的串联阻尼。

使用下列公式求出 L_{DAMP} 和最佳 R_{DAMP} 。第一步是使用功率变换器的输入阻抗求出n。得出n后，即可求出最佳 R_{DAMP} 和 L_{DAMP} 。

$$|Z_{DAMPED}| = \frac{1}{10} Z_{IN} = Z_{DM} \sqrt{2n(1+2n)}$$

$$R_{DAMP} = Z_{DM} \sqrt{\frac{n(3+4n)(1+2n)}{2(1+4n)}}$$

$$L_{DAMP} = nL_{DM}$$

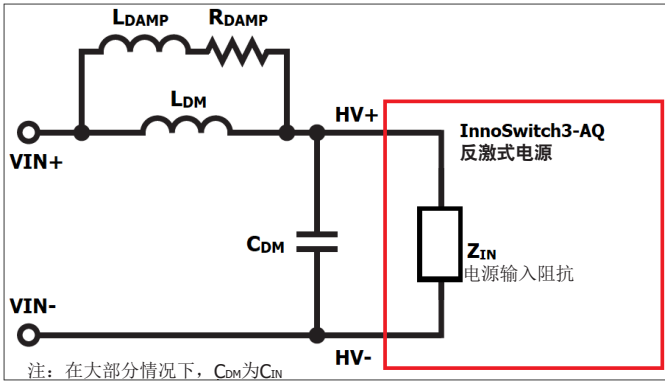


图 31. 具有串联阻尼的输入LC滤波器

图31中的 L_{DAMP} 可以移除，仅留下 R_{DAMP} 与 L_{DM} 并联，以衰减输入LC滤波器，如图32所示。这种方法的缺点是，该电阻会引入高频零点，从而导致增益滚降从-40dB/十倍频程降低到-20dB/十倍频程：

$$f_z = R_{DAMP}/2\pi L_{DM}$$

由于 f_z 的变化，滤波器基本上变成了单极点低通滤波器。选择合适的 R_{DAMP} ，应使滤波器的峰值阻抗绝不会超过变换器输入阻抗的1/10。

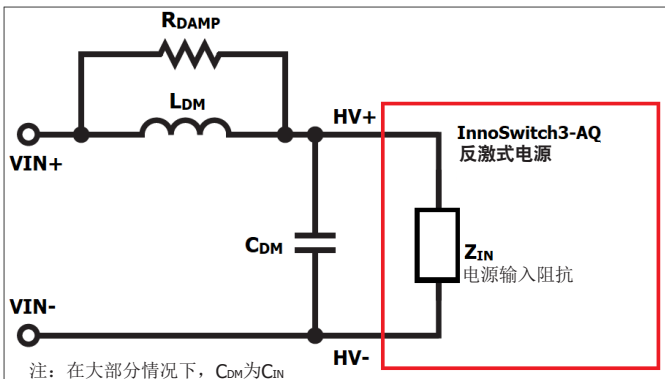


图 32. 具有简化阻尼的输入LC滤波器

对于需要较少串联电容来满足降额要求的400V系统，并联阻尼（图33）也是一种选择。

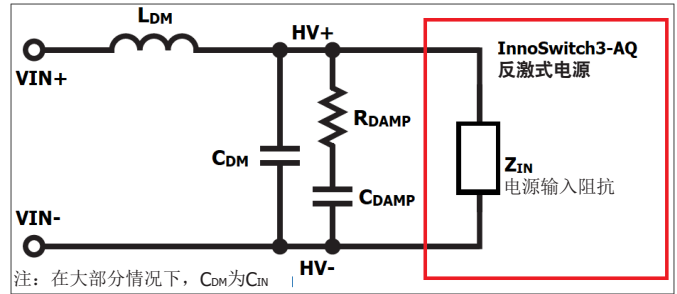


图 33. 具有并联阻尼的输入LC滤波器

可以使用以下公式计算阻尼元件 R_{DAMP} 和 C_{DAMP} ：

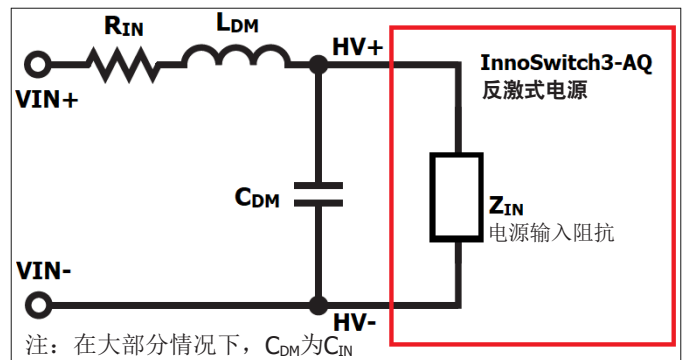
$$|Z_{DAMPED}| = \frac{1}{10} Z_{IN} = \frac{Z_{DM} \sqrt{2(2+n)}}{n}$$

$$R_{DAMP} = Z_{DM} \sqrt{\frac{(2+n)(4+3n)}{2n^2(4+n)}}$$

$$C_{DAMP} = nC_{DM}$$

也可以将一个电阻与滤波电感串联，用作具有低输入电流（低输出功率）的高压输入电源的阻尼，如图34所示。使用可在滤波器交越频率下充分降低滤波器增益的最低值电阻。电阻值越高，阻尼越大，但损耗和电压降也越大。该电阻还可以限制 V_{IN} 导通期间流入电源的浪涌电流。如果使用图34中的拓扑结构，则应考虑以下事项：

1. 电阻 R_{IN} 的功率额定值：确保电阻能够承受最小 V_{IN} 和最大 P_{OUT} 时的功耗。
2. 脉冲电流额定值：该电阻的额定值应能承受启动期间的浪涌电流。
3. 电压额定值：当 C_{IN} 放电时， R_{IN} 将出现完全的 V_{IN} 电压。

图 34. 使用与 L_{DM} 串联的电阻实现的LC滤波器阻尼

9.1.3 输入滤波器阻尼设计示例

在某些特定负载条件下，输入电压为30VDC至1000VDC、输出为15V 35W的电源会出现输入电压振荡，如下图所示。由于噪声导致次级至初

级请求群脉冲，振荡会影响电源调整。

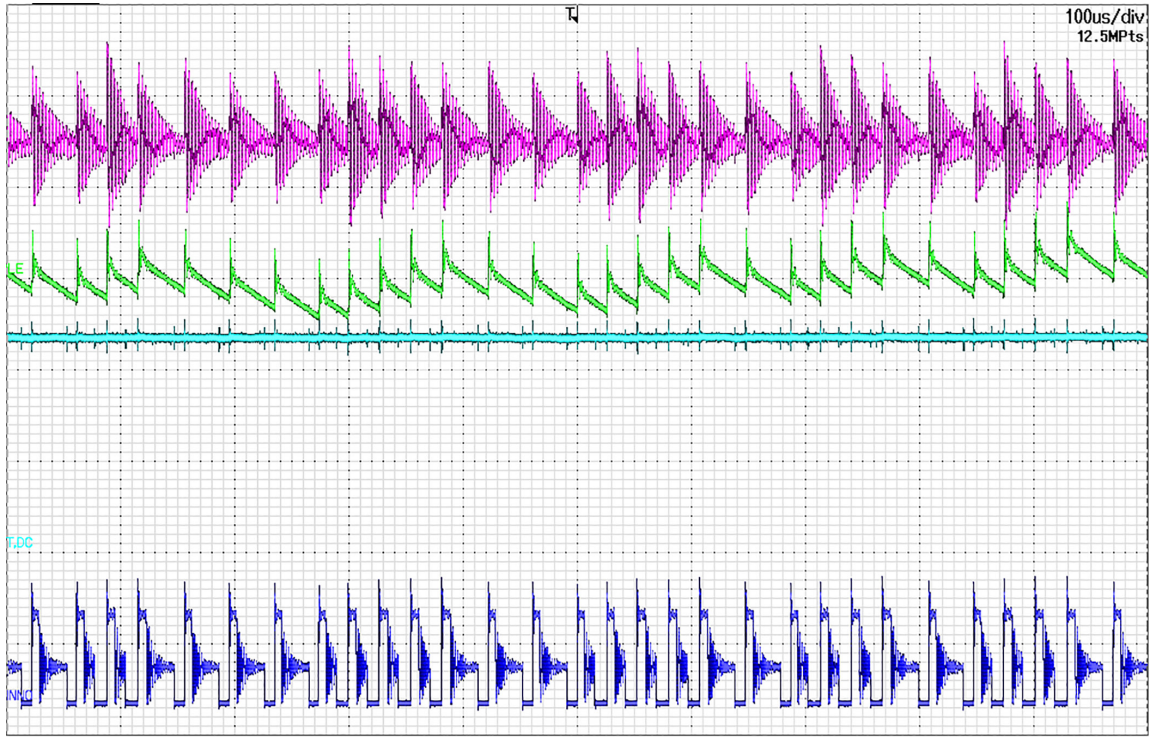


图 35. V_{IN} 振荡（顶部通道，交流耦合）影响在 $V_{IN} = 200\text{VDC}$ 、 $P_{OUT} = 35\text{W}$ 时的输出纹波和调整

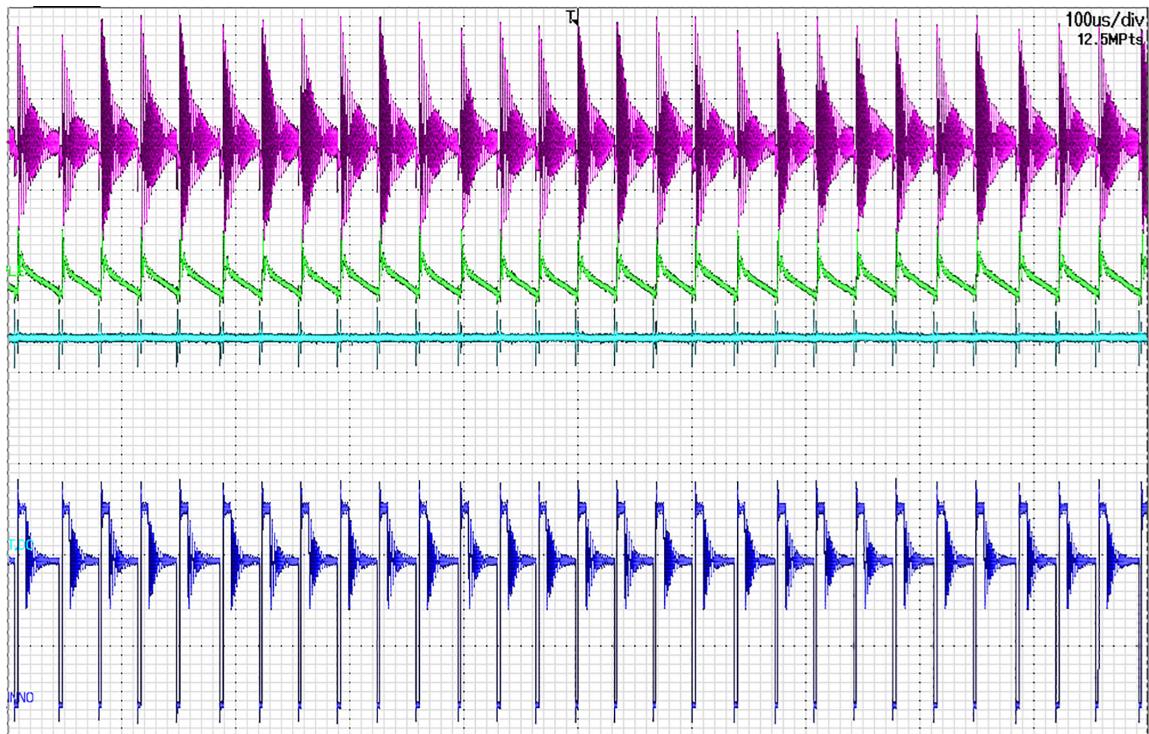


图 36. V_{IN} 振荡（顶部通道，交流耦合）影响在 $V_{IN} = 800\text{VDC}$ 、 $P_{OUT} = 35\text{W}$ 时的输出纹波和调整

振荡是由于输入CMC漏感和输入电容在LC滤波器的截止频率处形成的高增益造成的。根据给出的公式，采用串联阻尼来减少振荡。

1. 使用最低 V_{IN} 、效率和输出功率计算电源输入阻抗。也可以使用实际测量值来确定 Z_{IN} 。

要设计输入滤波器，必须满足 $Z_{DM} \leq \frac{1}{10} Z_{IN}$ ，

$$Z_{IN} = \frac{V_{IN}^2 \times \text{效率}}{P_{OUT}} = \frac{(120 \text{ V})^2 \times 0.85}{35 \text{ W}} = 349.71 \Omega$$

$$Z_{DM} = \sqrt{\frac{L_{DM}}{C_{DM}}} = \sqrt{\frac{4.9 \mu\text{H}}{50 \text{ nF}}} = 9.899 \Omega$$

L_{DM} 是根据设计中使用的CMC测量得出，同时 $C_{DM} = C_{IN}$

2. 根据 Z_{IN} 和 Z_{DM} 的值，可以求出下列方程中的n值：

$$\frac{1}{10} Z_{IN} = Z_{DM} \sqrt{2n(1+2n)}$$

$$\frac{1}{10} (349.71 \Omega) = (9.899 \Omega) \sqrt{2n(1+2n)}$$

得出两个n值：

$$n_1 = 1.533$$

$$n_2 = -2.033$$

取正n值，求出 R_{DAMP} 和 L_{DAMP}

$$n_1 = 1.533 \rightarrow R_{DAMP} = 19.77 \Omega, L_{DAMP} = 7.582 \mu\text{H}$$

3. 将得出的值除以二，然后并联到每个CMC绕组，如下图37所示。

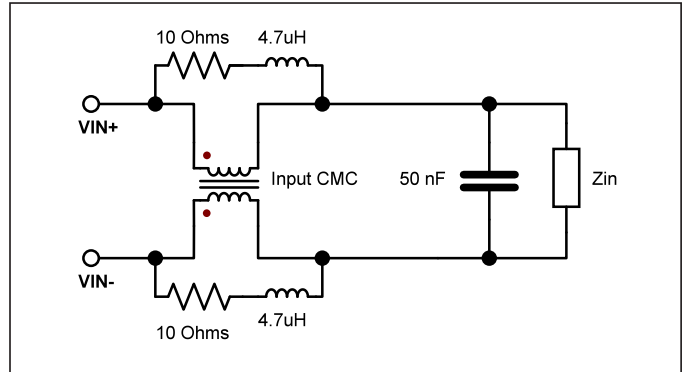


图 37. 具有计算串联阻尼元件的CMC

4. 通过仿真验证频率响应，然后检查实际结果。选择可在所有工作条件下实现最佳性能的配置。

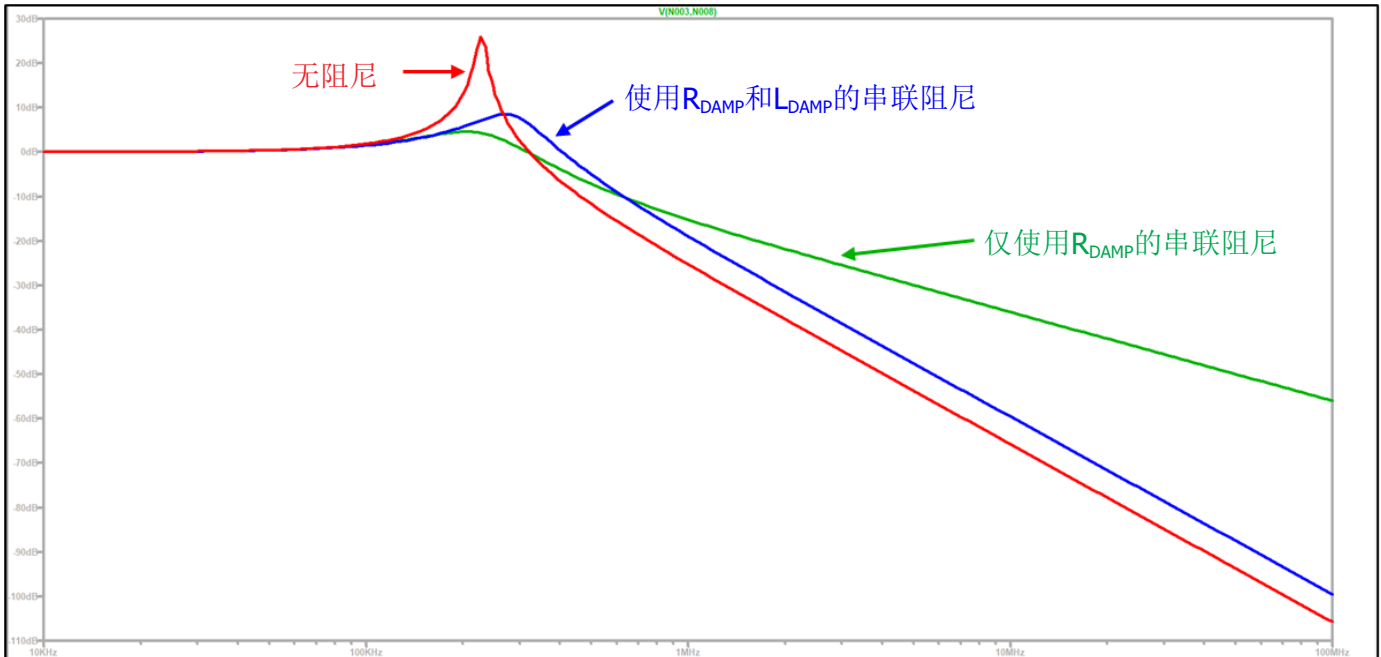


图 38. 无阻尼（红色）、串联RL阻尼（蓝色）和仅R阻尼（绿色）的频率响应

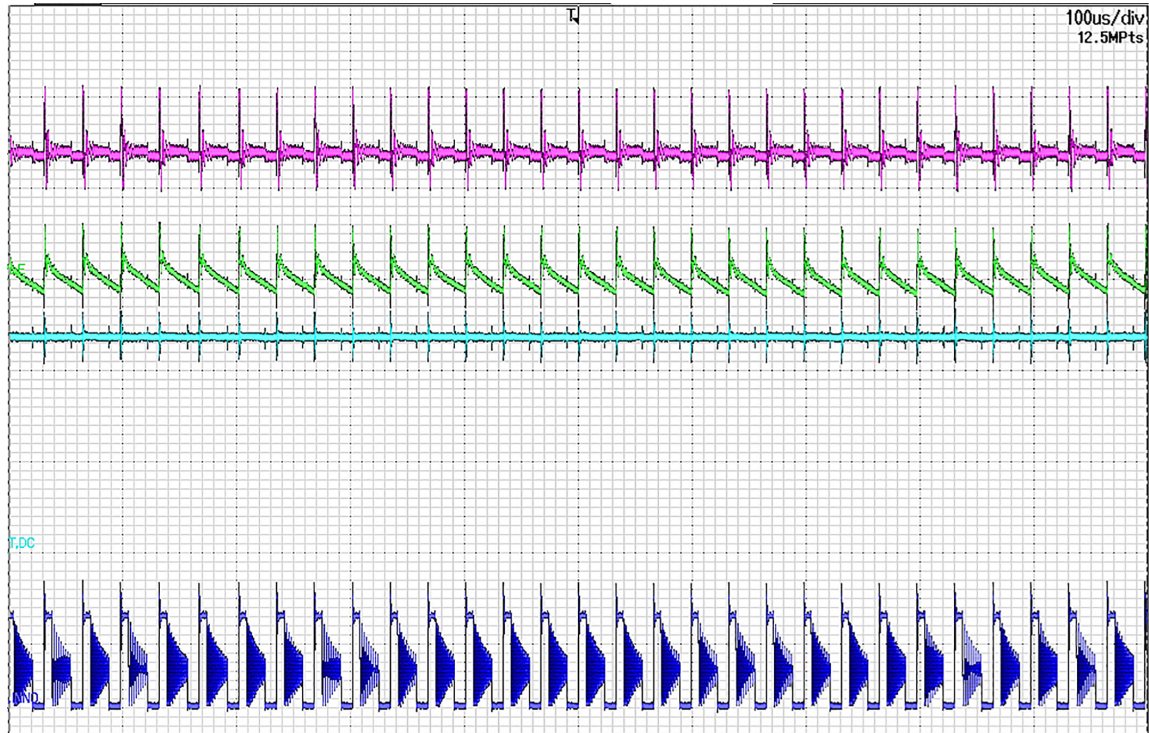


图 39. $V_{IN} = 200\text{VDC}$ 、 $P_{OUT} = 35\text{W}$ 时的阻尼 V_{IN} 振荡（顶部通道，交流耦合）

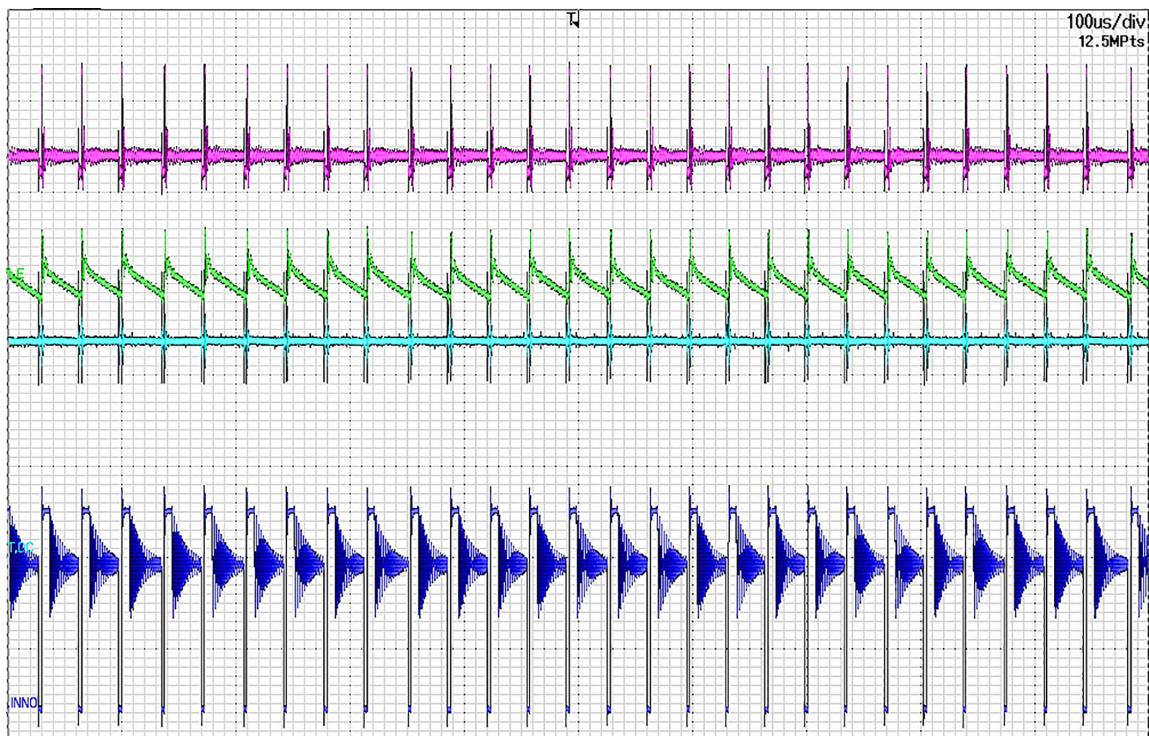


图 40. $V_{IN} = 800\text{VDC}$ 、 $P_{OUT} = 35\text{W}$ 时的阻尼 V_{IN} 振荡（顶部通道，交流耦合）

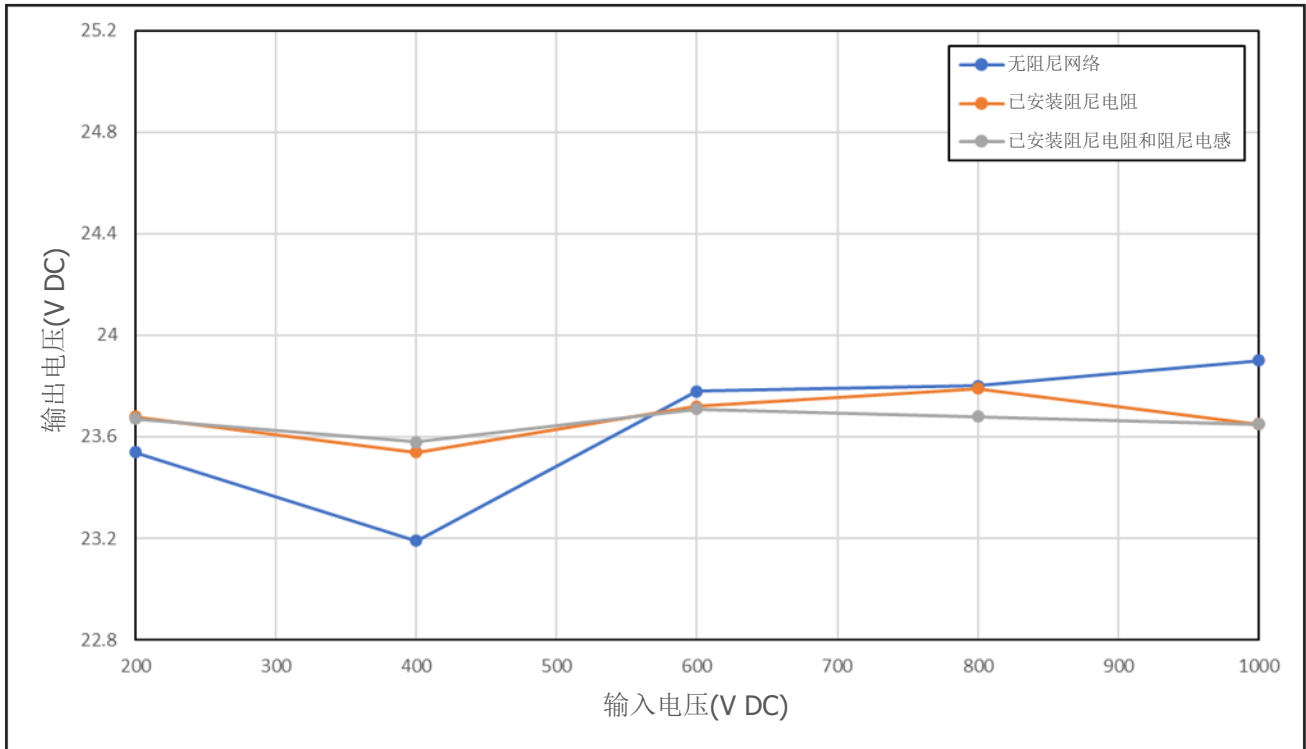


图 41. 有阻尼和无阻尼条件下输入/输出电压线性调整率比较 (35W负载)

9.5 具有UVLO的初级侧使能/禁止电路

在图45所示的电路中，InnoSwitch3-AQ IC的V引脚可用于实现远程使能/禁止功能。该电路还包括一个BPP UVLO，可确保InnoSwitch3-AQ IC正常启动，即使在非单调性输入电压下也是如此。当HV+和HV-端子之间存在小于20V的残余电压时，可能会存在非单调性输入电压。外部UVLO将阻止InnoSwitch3-AQ IC逻辑电路上电，直到HV+超过所选的导通阈值，并在HV+电压低于关断阈值时关断。对于所示的示例，导通阈值介于26V和29V之间，而关断阈值介于20V和23V之间。

该电路的工作原理如下所述：

1. IC1包含两个独立的比较器，其内部参考电压为400mV。OUTA和OUTB为开漏输出。如果INA+上的电压低于400mV，OUTA则会变为低电平。否则，OUTA会关断（高阻抗）。反向逻辑适用于B通道。如果INB-低于400mV，OUTB则会关断，否则变为低电平。
2. 当HV+低于导通阈值时，IN+节点应低于400mV。这会使OUTA引脚保持低电平状态，将BPP钳位到VR1的击穿电压2.7V，防止InnoSwitch3-AQ IC启动。如果Q1处于关断状态（EN/DIS信号为低电平），则INB-上的电压由分压器R5、R6和R7确定，并且也应低于400mV。这会将OUTB引脚设置为高电平，将R9断开。如果Q1已导通（EN/DIS信号为高电平），则INB-将始终低于400mV，这意味着R9将始终处于悬空状态，直到EN/DIS信号处于无效状态。

3. 一旦HV+超过所需的导通电压（对应于INA+引脚上的400mV），OUTA引脚将立即变为高电平，从而断开VR1并允许BPP增加到5.2V左右。BPP电压增加还将增加流经R3的电流，进一步提高INA+上的电压，同时增加一定程度的滞回。此时，InnoSwitch3-AQ将开始其82ms的启动和“等待和侦听”序列，然后再进行开关。如果Q1关断，只要BPP增加到5.2V，INB-上的电压也将增加。但是，INB-上的电压增加会被电容C1延迟。一旦INB-超过400mV，OUTB将变为低电平，导致R9分流V引脚电流并触发UV故障。这将导致InnoSwitch3-AQ IC不启动开关，从而使变换器保持关断状态。OUTB从高电平切换到低电平应在HV+超过导通阈值后30毫秒至40毫秒内发生，以防止InnoSwitch3释放不必要的脉冲。但是，如果Q1在HV+达到导通阈值时进入导通状态，则OUTB将不会改变状态，因此也不会触发UV故障，并且电源将在82毫秒后立即开始开关。

图45中所示的所有元件值（ R_{IN} 、R2、R3和R4除外）均可按原样用于任何设计或应用。计算 R_{IN} 、R2、R3和R4时，应确保当HV+达到所需的导通阈值时IN+为400mV。将 R_{IN} 保持在几兆欧范围内，以减少分压器网络中的损耗，同时满足比较器输入的偏置电流要求。还应根据所需的滞回量选择R3。

Q1应使用BJT来直接控制微控制器的使能/禁止功能。将EN/DIS信号设置为有效高电平可接通电源，设置为有效低电平可关断电源。

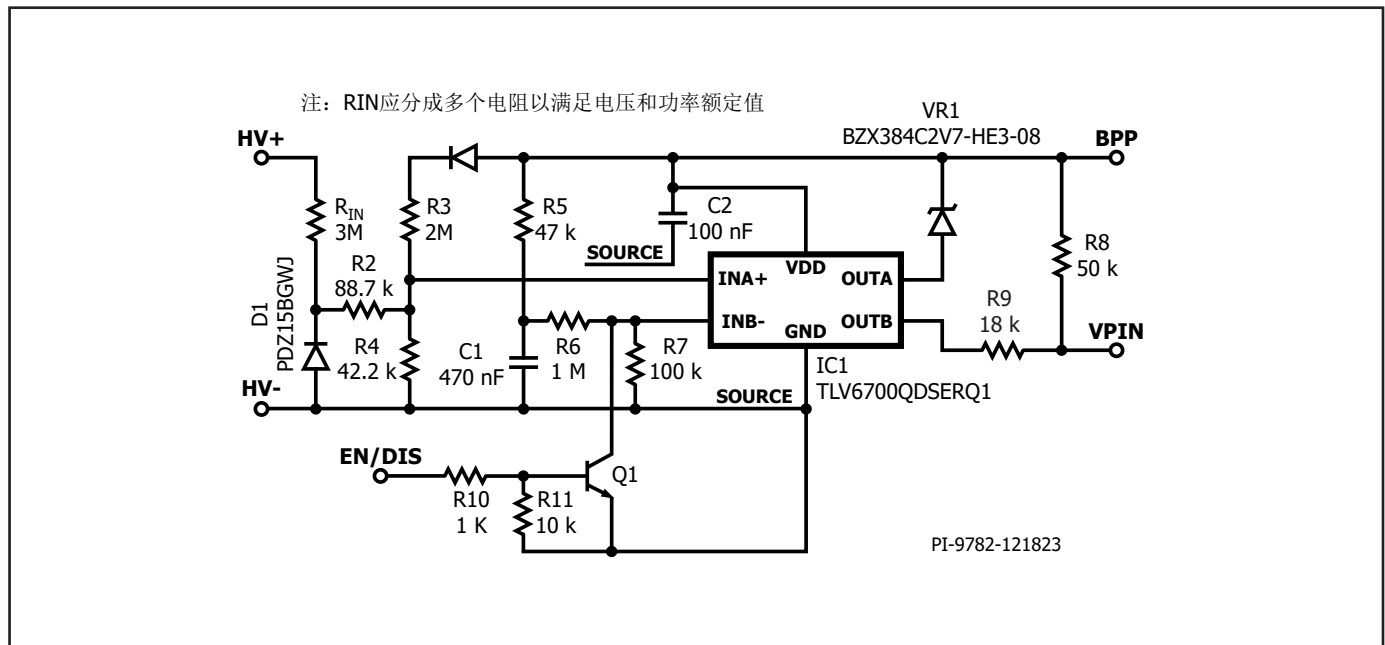


图 45. 具有UVLO的使能/禁止电路（对于400V输入电压，UVLO切入范围为26V至29V、20V < 关断 < 23V）

9.6 高精度电压调整

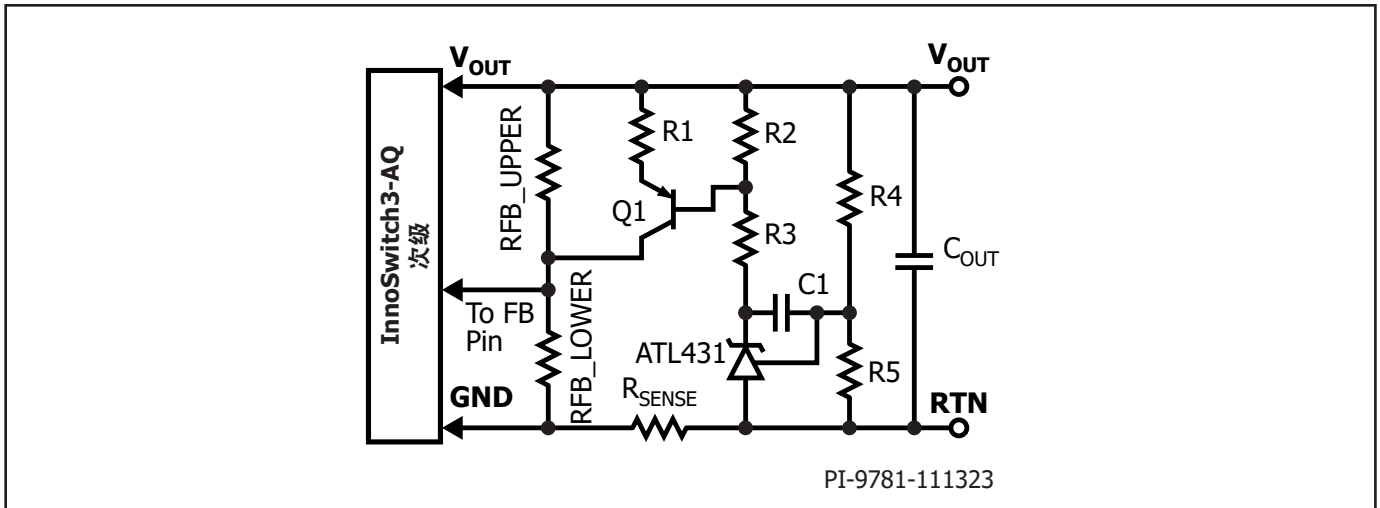


图 46. 使用ATL431的高精度电压调整电路

InnoSwitch3-AQ的内部反馈参考在整个温度范围内略高于1%，这对于大多数应用来说已经足够低。对于需低于1%调整率的应用，可以使用图46中的电路。该辅助电路使用ATL431有效地生成与RFB_UPPER并联的可变电阻（Q1和R1），根据TL431的内部高精度参考电压来调整输出电压。RFB_UPPER和RFB_LOWER是来自InnoSwitch3-AQ反馈网络的原始分压电阻。

要使用此设计，需计算RFB_LOWER和RFB_UPPER值，使生成的输出电压比所需调整值高10%。建议将RFB_LOWER设置在10kΩ左右。

$$V_{FB(REF)} = 1.265 \text{ V} = \frac{RFB_{LOWER}}{RFB_{LOWER} + RFB_{UPPER}} (1.1 \times V_{OUT})$$

给定C1、R4和R5连接处的参考电压为2.5V，计算电阻R4和R5，得出所需的输出电压电平。R5的值不应超过56kΩ。

$$V_{TL431(REF)} = 2.5 \text{ V} = \frac{R5}{R4 + R5} (V_{OUT})$$

R1、R2和R3设置由R1和Q1形成的可变电阻的静态点和范围。Q1和ATL431的静态点应远离饱和点，以使电路具有足够的输出变化。电阻R2和R3还应满足ATL431的自偏置要求。以下公式可用作计算电阻R1、R2和R3的指南。

$$V_{K(ATL431)} = V_{REF(ATL431)} + (0.3 \times (V_{OUT} - V_{REF(ATL431)}))$$

$$V_{B(Q1)} = V_{REF(ATL431)} + (0.6 \times (V_{OUT} - V_{REF(ATL431)}))$$

$$I_{R1} = \frac{V_{FB(REF)}}{RFB_{LOWER}} \left(1 - \frac{V_{OUT} - V_{FB(REF)}}{1.1 \times (V_{OUT} - V_{FB(REF)})} \right)$$

$$I_{K(ACTUAL)} \gg I_{B(Q1)} + I_{K(ATL431)MIN}$$

其中

- $V_{K(ATL431)}$ = ATL431阴极电压
- $V_{REF(ATL431)}$ = ATL431参考电压 = 2.5V
- $V_{FB(REF)}$ = InnoSwitch3-AQ的FB引脚参考电压 = 1.265V阴极电压
- $V_{B(Q1)}$ = Q1基极电压
- $I_{K(ACTUAL)}$ = 用于设计计算的实际ATL431阴极电流
- $I_{B(Q1)}$ = Q1基极电流
- $I_{K(ATL431)MIN}$ = ATL431正常工作的最小阴极电流（参见数据手册）

电容C1设置反馈的带宽，通常最大设置值为50Hz，因为该电路仅用于校正 V_{OUT} 的直流误差。

9.7 其他设计要点

9.7.1 初级至次级Y电容

不建议在初级源极节点至次级GND节点的连接中使用Y电容，尤其是当电源用于逆变器噪声较高的系统时。在高 dv/dt 的高压环境中产生的共模电流可以达到几安培或几十安培（取决于寄生电容值），高到足以在信号铺铜走线上产生显著的电压降。添加Y电容会为次级到初级的共模噪声创建一条低阻抗路径，将共模电流分流到反激电路，这可能会降低InnoSwitch3-AQ IC的性能。

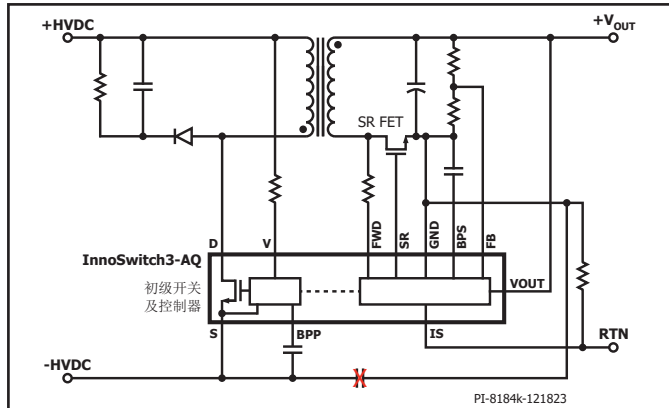


图 47. 请勿在初级和次级接地之间使用Y电容，以防止共模噪声通过电源电路

9.7.2 非隔离型电源设计

对于负载与InnoSwitch3-AQ IC的初级侧共同接地的应用，不建议将初级侧的源极节点连接到次级中的GND节点。这样做可能会产生接地环路（如图48所示），导致不必要的电流流过InnoSwitch3电路，从而影响其工作。与Y电容一样，将源极引脚对GND引脚短路也将会为负载噪声通过InnoSwitch3-AQ电路提供低阻抗路径。

保持InnoSwitch3-AQ IC的输出母线与电源电路功能块内的初级侧隔离。共同接地应发生在负载点，而不是电源块内。

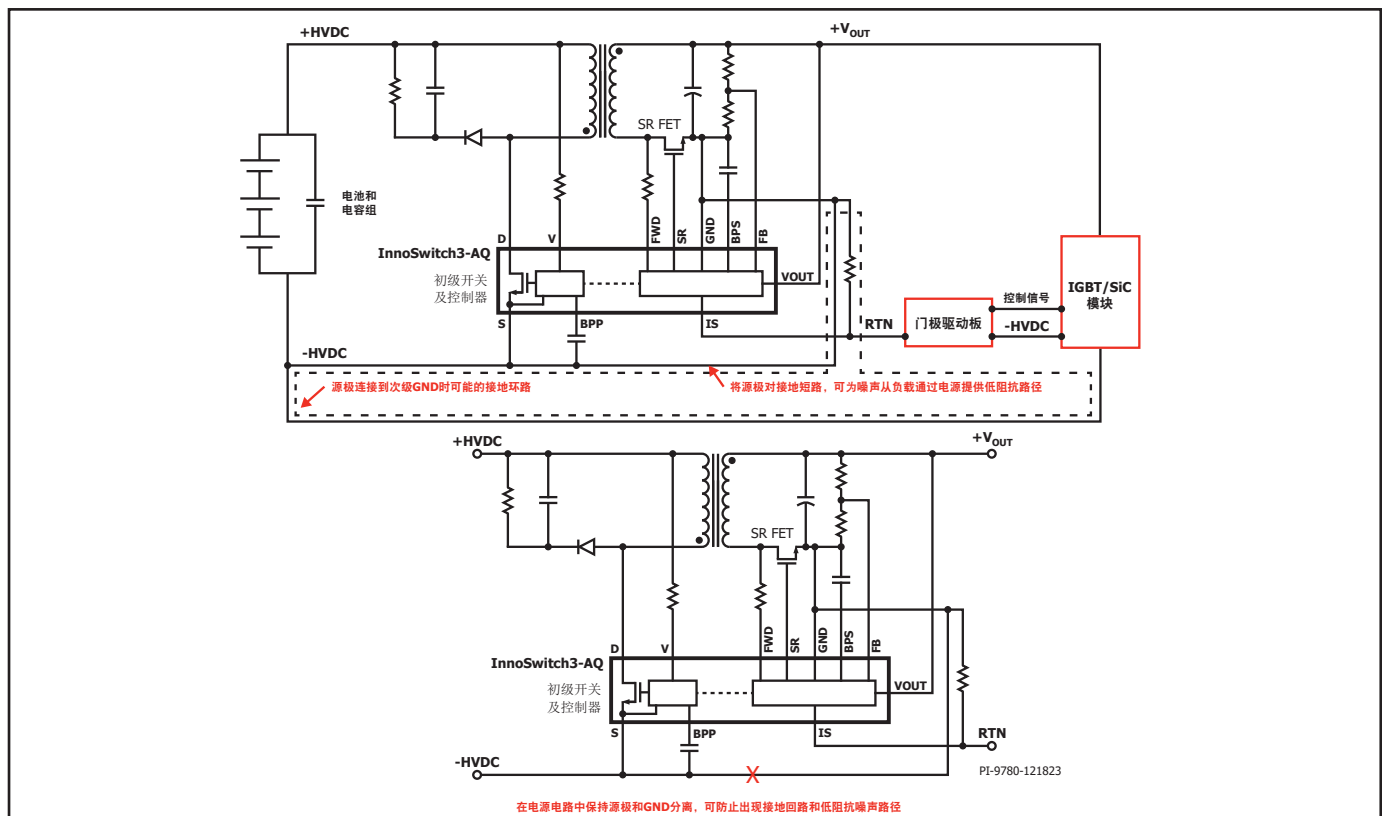


图 48. 对于共同接地到初级的负载，如果反激初级连接到次级GND，则会创建接地环路

10. 电气间隙和爬电距离

下表5总结了设计电源布局时必须遵循的最小建议电气间隙和爬电距离要求。该表考虑了IEC 60664-1标准，并列出了各种输入电压、 V_{OR} 、InnoSwitch3-AQ器件和其他相关因素的值。计算爬电距离和电气间隙时要考虑的节点示例如下（非详尽列表）：

1. 输入电压正负电压输出（HV+和HV-）。
2. InnoSwitch3-AQ漏极至HV+或HV-。
3. 具有高压电位的节点，例如缓冲器元件（ C_{SNUB} 、 R_{SNUB} 、 D_{SNUB} 与 C_{IN} ）之间的节点。
4. 初级到次级。
5. 初级到外壳接地。
6. 次级到外壳接地。

标准	最高海拔	PCB CTI	脉冲电压	芯片	输入电压	V_{OR}	器件 BVDSS	系统电压 (BVDSS 的85%)	电气间隙(mm)				爬电距离(mm)			
									污染等级 = 1		污染等级 = 2		污染等级 = 1		污染等级 = 2	
									最小基本电气间隙	最小加强电气间隙	最小基本电气间隙	最小加强电气间隙	最小基本电气间隙	最小加强电气间隙	最小基本电气间隙	最小加强电气间隙
IEC 60664-1 Vsystem 频率 < 30kHz	5500 ($C_{HA} = 1.59$)	CTI IIIa 175至 400	(OVC 1) 2500 V	INN3977CQ	400	100	750	638	2.4	4.8	2.4	4.8	2.4	4.8	2.4	6.4
				INN3996CQ	500	150	900	765	2.4	4.8	2.4	4.8	2.4	4.8	3.3	6.6
				INN3997CQ	500	150	900	765								
				INN3999CQ	500	150	900	765								
				INN3990CQ	500	150	900	765	2.4	4.8	2.4	4.8	4.1	8.2	6.2	12.4
				INN3947CQ	1000	225	1700	1445								
				INN3949CQ	1000	225	1700	1445								
			(OVC 2) 4000V	INN3977CQ	400	100	750	638	4.8	8.7	4.8	8.7	4.87	8.7	4.8	8.7
				INN3996CQ	500	150	900	765	4.8	8.7	4.8	8.7	4.8	8.7	4.8	8.7
				INN3997CQ	500	150	900	765								
				INN3999CQ	500	150	900	765								
				INN3990CQ	500	150	900	765	4.8	8.7	4.8	8.7	4.8	8.7	6.2	12.4
				INN3947CQ	1000	225	1700	1445								
				INN3949CQ	1000	225	1700	1445								

表 5. 根据IEC 60664-1标准针对不同条件和器件推荐的最小爬电距离和电气间隙值

11. 布局设计指南

由于电路具有快速开关电压和电流，因此开关模式电源变换器的安全和正常工作取决于PCB布局。当用于汽车应用时，尤其是电动汽车的应用，由于设计预期的工作环境恶劣，对稳健布局的需求更为突出。根据最终应用，在设计电源布局时必须考虑以下因素：

1. 如果电源靠近或用于为逆变器供电，则布局必须能够抵御来自逆变器、母线、相线和其他可能的噪声源的EMI干扰。
2. 在开始布局之前，必须先根据IEC 60664-1/3标准计算爬电距离和电气间隙规则。设计人员必须确定基本原理图中每个节点的电压，并在布局软件的“DRC规则”中应用必要的电气间隙和爬电距离规则。确保封装符合电气间隙/爬电距离规则，尤其是当PCB的CTI低于相应元件的主体时。计算爬电距离和电气间隙需要对相关标准进行仔细解读，这不在本文档的讨论范围之内。
3. 还必须准备一套DFM、DFA和DFT规则，以减少制造缺陷并轻松完成成品电路板测试。
4. 汽车设计通常至少使用4层PCB。不建议使用单层和双层电路板。在布局之前，还必须确定电路板堆叠方式。

11.1 PCB堆叠

PCB堆叠是指构成印刷电路板(PCB)的绝缘层和导电走线的排列。堆叠旨在满足PCB的电气和机械要求，通常由多层铺铜和介电材料组成。

典型的PCB堆叠可能包括以下各层：

1. **信号层**：承载信号走线的PCB层。
2. **电源和接地层**：用于承载电源和接地连接的铺铜层。它们提供稳定的电源，并减少可能影响敏感元件工作的噪声和电磁干扰。
3. **内部信号层**：承载信号走线的额外铺铜层。
4. **半固化片**：将铺铜层粘合在一起的绝缘材料层。
5. **芯板**：PCB的中心层，占PCB厚度和强度的大部分。

PCB堆叠在电源的PCB布局中尤为重要，因为它会显著影响电源的性能、效率和可靠性。以下是在设置电源设计堆叠时的一些一般准则：

1. **电源走线**：承载大量电流的走线可以在PCB的相应部分并行使用所有铺铜层。
2. **导热垫**：与电源走线相同，导热垫可以利用其附近的所有层，通过多个热过孔连接来减少铺铜层之间的热阻。
3. **信号走线和接地层**：信号走线可以放置在外层或内层，但必须始终与未中断的接地层相邻。电源布局中通常不需要电源层。
4. **高压节点**：对于具有高压输入的电源而言，设计PCB时尽量减少导电阳极极丝(CAF)相关故障至关重要。这可以通过抗CAF布局规则或使用耐CAF层压板来实现。

11.2 导电阳极极丝

导电阳极极丝(CAF)是印刷电路板(PCB)中相邻导电层之间形成的导电通路。当导电性材料(例如铜)在水分、氧气和电位的作用下开始分解时，就产生了这些导电通路。分解的材料可以形成连接PCB中相邻导电层的丝状结构。

对于PCB来说，CAF可能是一个严重的可靠性问题，尤其是在PCB暴露于潮湿或高湿度的应用中时。CAF的形成可能会导致短路或其他电气故障，从而导致PCB发生故障或失效。

有多种因素会导致CAF的形成，包括PCB材料中存在污染物或杂质、暴露在潮湿或高湿度环境中以及应用高电压梯度。为了降低CAF的风险，PCB设计人员和生产厂商必须采取多项预防措施，例如使用离子污染低的高质量材料、使用保护涂层防止湿气侵入以及优化PCB设计。

下面列出的PCB设计规则可最大限度地降低形成CAF的风险：

1. 如果节点之间的电位 $>600V$ ，最好进行开槽。如果由于空间原因无法开槽，则可以改用CAF通孔。通孔必须交错布置，孔之间至少保证10%的重叠，并且至少放置2-3排，如图49所示。

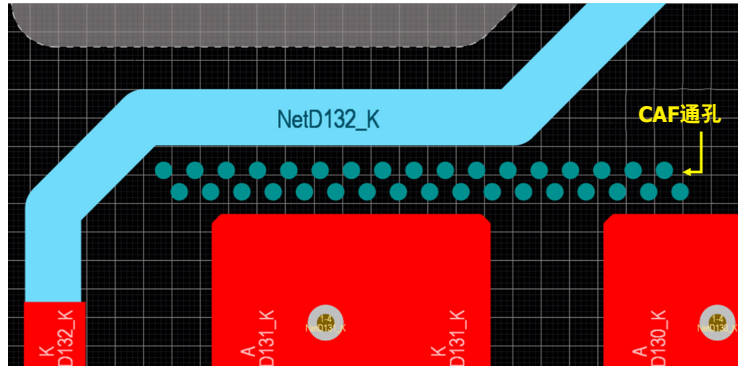


图 49. 两排CAF通孔

2. 如果无法开槽或使用CAF通孔时，则应保证有电位差的节点之间的间距：
 - a. **节点间的连续电压 < 250V：**
没有最小距离要求。
 - b. **连续电压介于250V至600V：**
电镀通孔或过孔与铜线之间的距离： $\geq 2.3\text{mm}$ （理想值为 $\geq 3\text{mm}$ ）
同层的铜线之间的间距： $> 1.5\text{mm}$
不同层的铜线之间如果有至少两层预浸料或一层芯材作为隔离： 0mm
 - c. **连续电压介于600V至1500V：**
电镀通孔或过孔与铜线之间的距离：
 $> 2.3\text{mm} + (\text{600V以上时每增加150V, 间距增加1mm})$
铜线之间的间距：
 $> 1.5\text{mm} + (\text{600V以上时每增加150V, 间距增加1mm})$
 - d. **连续电压超过1500V：**
必须开槽或使用CAF通孔。开槽的作用是使CAF丝的走向至少需要拐两次 90° 的弯儿。

如果无法遵循上述规则，则必须对设计进行特别考虑。最好在高湿度和高温($85^\circ\text{C}/85\%$)下进行连续测试，以便更好地评估设计。

11.3 温升管理设计要点

在设计电源温升管理时，应考虑以下几点：

1. 铺铜面积

热阻通常会随着铺铜面积的增加而降低。但是，热阻随面积下降的趋势遵循指数曲线。这意味着在某个点，铺铜面积的进一步增加将导致热阻的下降越来越少。用于散热的单面铜箔片的推荐最大铺铜面积为 600mm^2 至 800mm^2 。对于多层板，建议每层铜箔片表面积在 1200mm^2 至 2000mm^2 之间。应使用热过孔将多层连接起来，以降低层间的热阻。

铜箔片内的温度梯度也会随着其与热源距离的增加而呈指数下降。因此，散热区域应尽可能靠近热源。

2. 热过孔

如上所述，沿铺铜散热区域的温度梯度随距离呈指数减小。因此，为了有效降低热阻，过孔应尽可能靠近热源。如果允许，建议将热过孔放置在InnoSwitch3-AQ源极引脚的焊盘上。如果使用焊盘内过孔，则必须采取相应措施防止组装过程中焊料渗漏。

与铜箔片一样，随着过孔数量的增加，热阻的下降会减慢。因此，在铜箔片上设置过多的热过孔是不必要的。影响过孔热阻的其他因素如下：

- a. 电路板厚度 – 电路板越薄，过孔越短，热阻就越低。
- b. 过孔直径 – 过孔越大，热阻越低。为减少焊料渗漏，建议焊盘上过孔的最大孔径为 0.3mm 。
- c. 过孔间距 – 过孔间距应在 1mm 至 1.5mm 之间。建议值为 1.2mm 。不建议间距小于 1mm ，因为这会增加成本，但降低热阻的效果会减弱。

3. 电路板厚度

如果铺铜散热面积较小，电路板越厚，热阻越低，这是因为水平方向的热传导优先于垂直传导。如果铺铜面积较大或有多层且与过孔相连，则最好使用较薄的电路板，因为热流会穿过电路板而不是沿电路板流过。

4. 导热片/散热片

如果PCB铺铜面积不足以为电源元件散热，则可以通过导热垫将热源与导热片或散热片（通常是系统的金属外壳）连接起来。这就要求元件的摆放位置便于热源与散热片的连接。如果采用这种温升管理方法，应确保满足电气隔离要求。

5. 其他设计要点

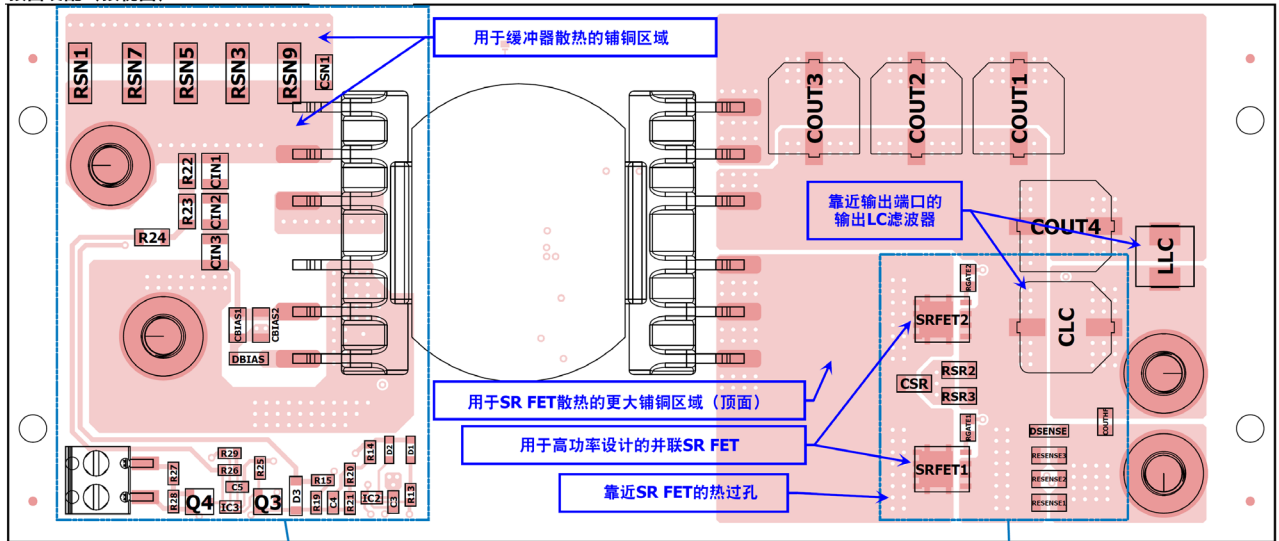
多个热源 – 如果可能，请使热源相互远离，以防止出现集中发热点。对于高功率设计，应注意管理变压器和InnoSwitch3-AQ IC产生的热量，因为这两个元件通常相互靠近放置。SR FET和输出电容也是如此。

铺铜厚度 – 铜箔片越厚，热阻越低。随着铺铜面积的增加，这一点更加明显。

走线宽度 – 对于承载大量电流的走线，应确保走线宽度和铺铜重量足以满足所需的电流承载能力，且不会过热。

12 布局示例

顶面装配 (顶视图)



初级侧顶面

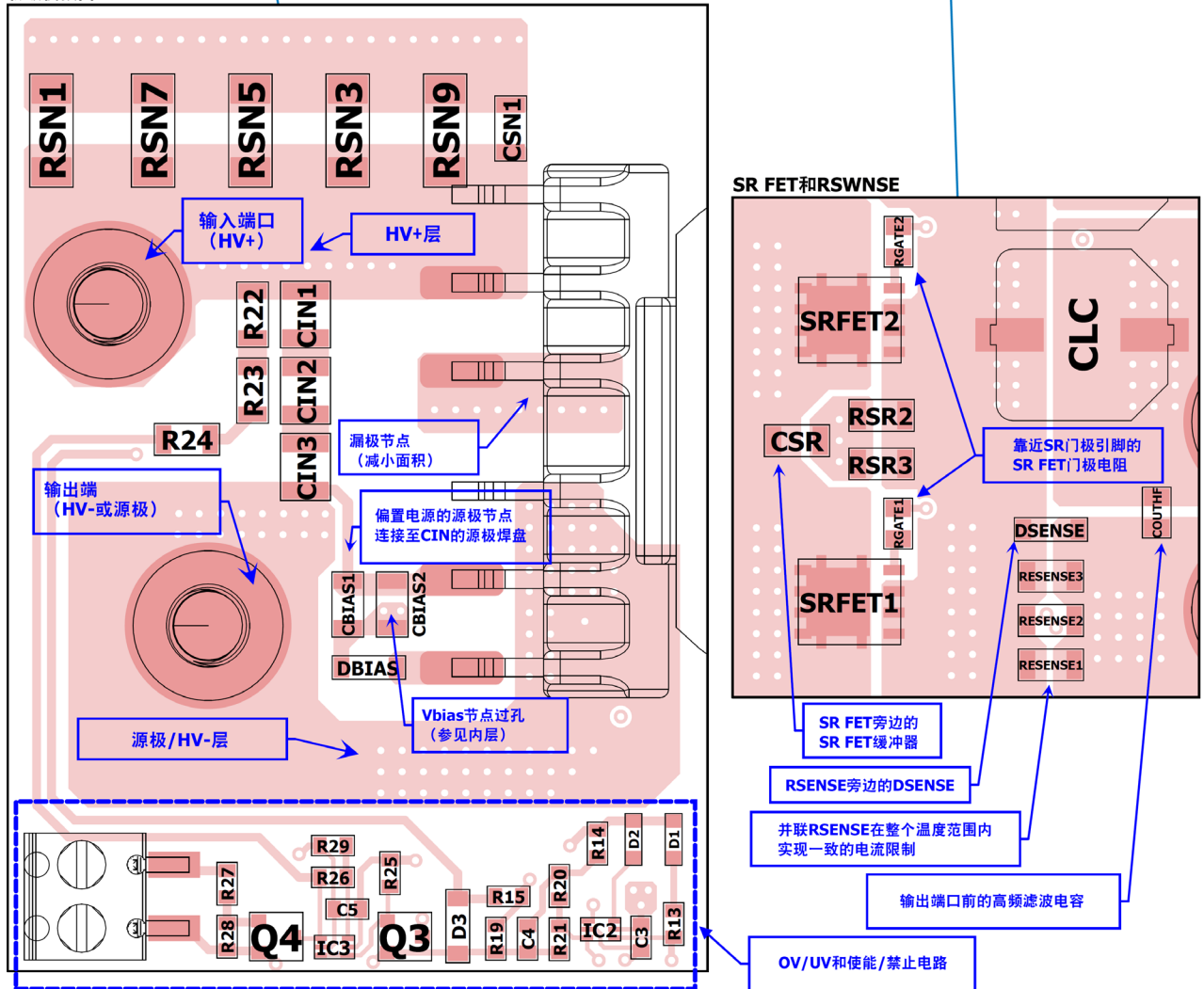


图 50. 显示建议的摆放位置和布线指南实现情况的布局示例。此布局在顶层和底层都放置有元件 (DER-953Q的顶面装配图)。

底面装配 (底视图)

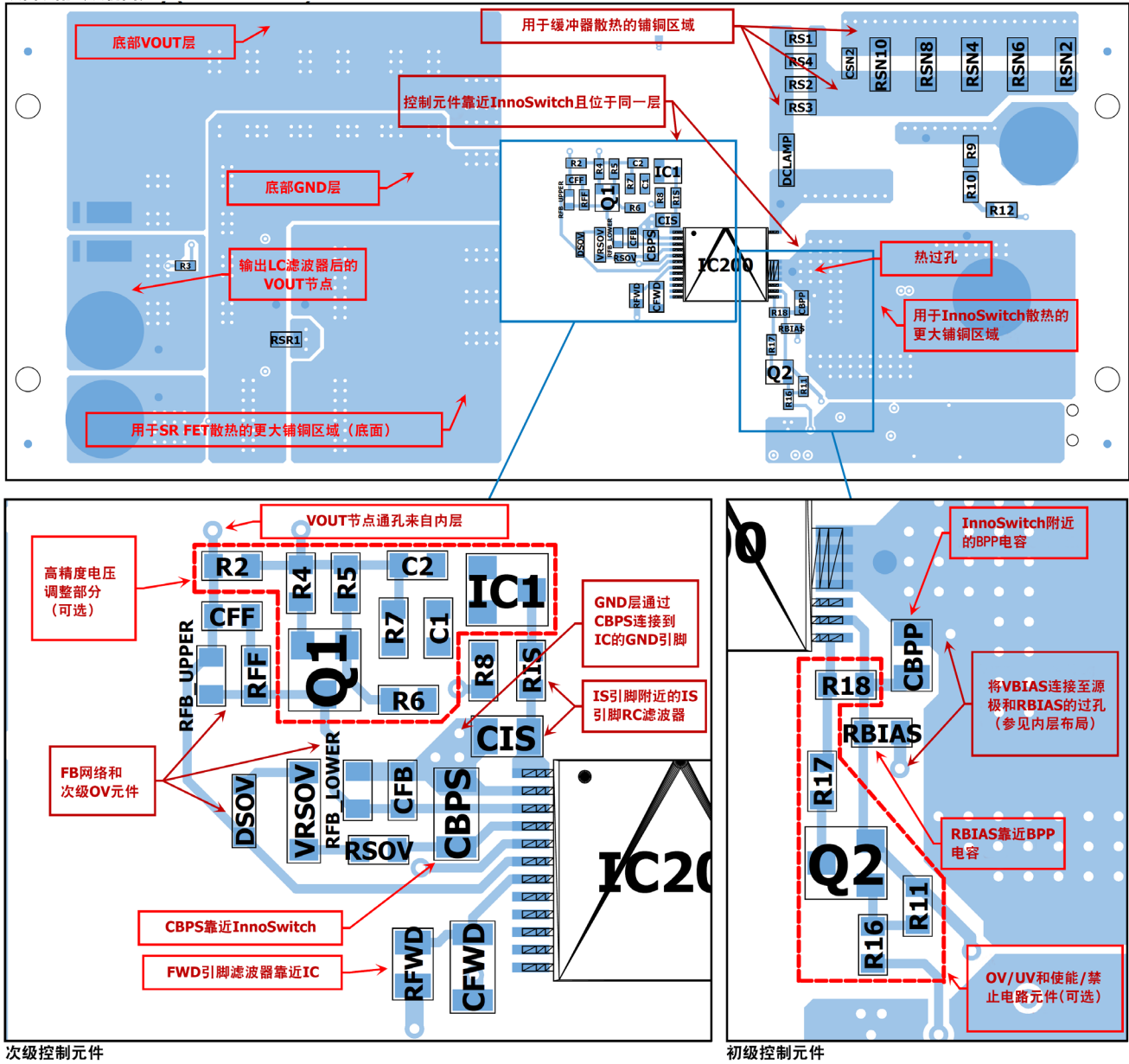
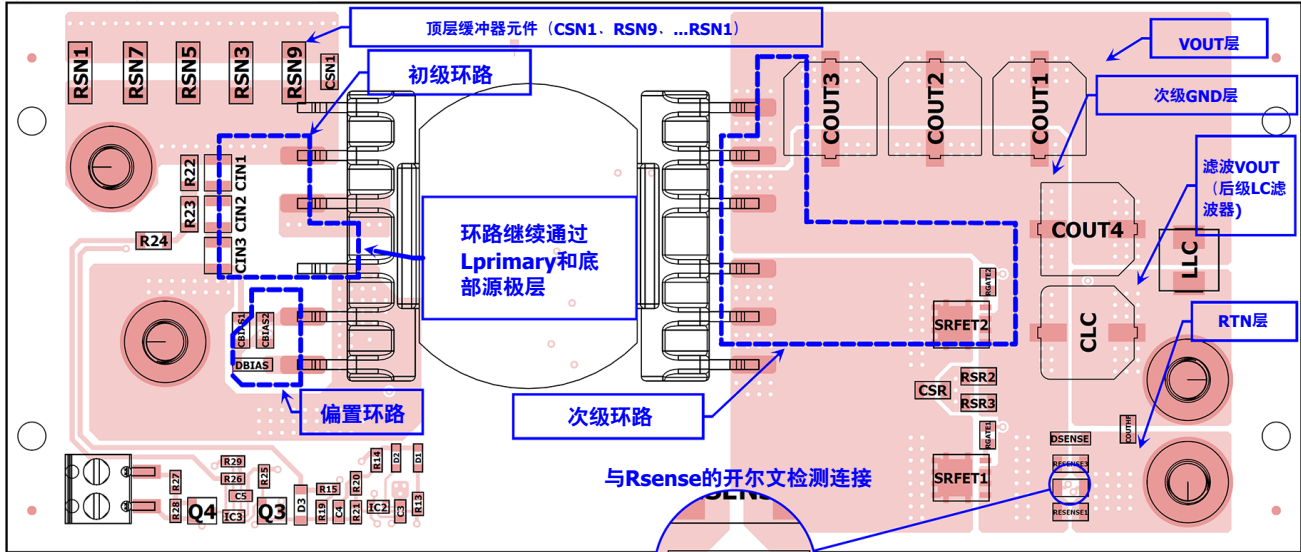


图 51. 显示建议的摆放位置和布线指南实现情况的布局示例。此布局在顶层和底层都放置有元件。(DER-953Q的底面装配图)。

顶面装配 (顶视图)



底面装配 (底视图)

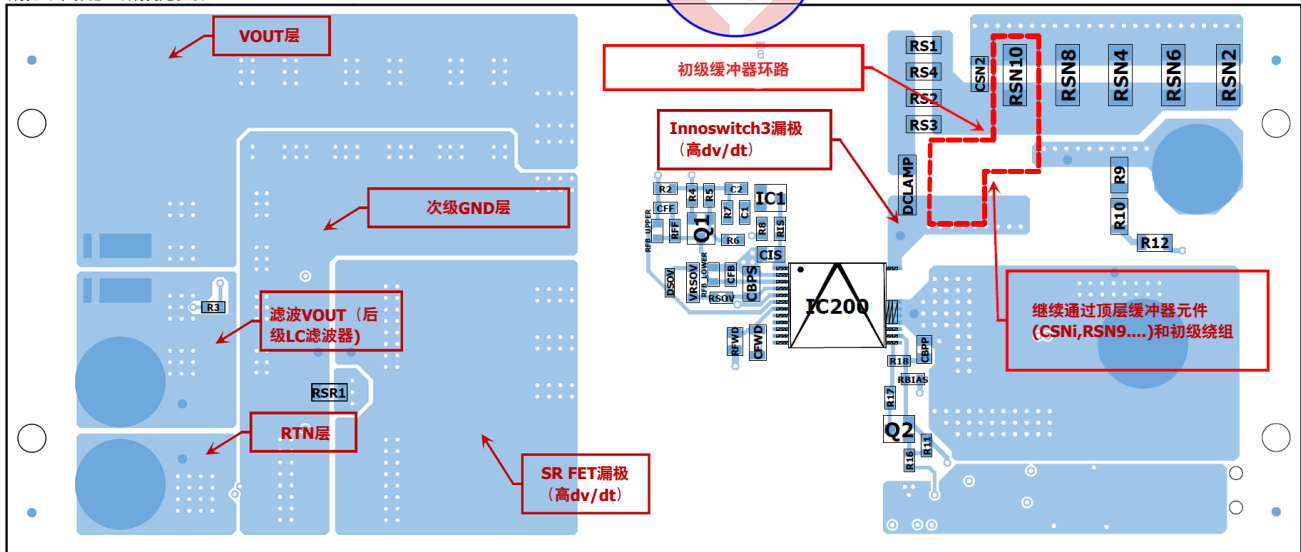
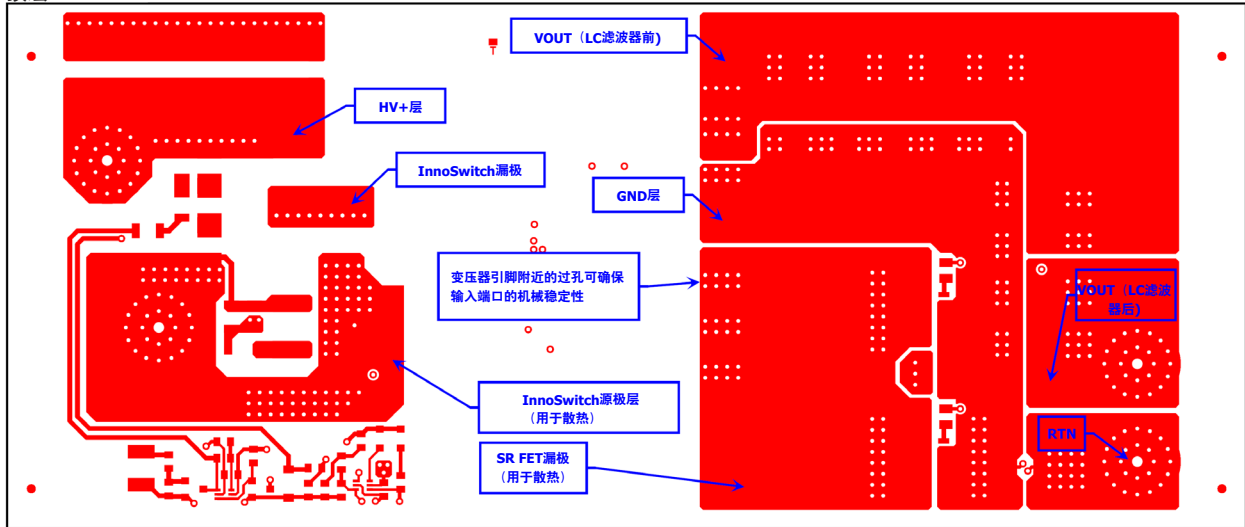
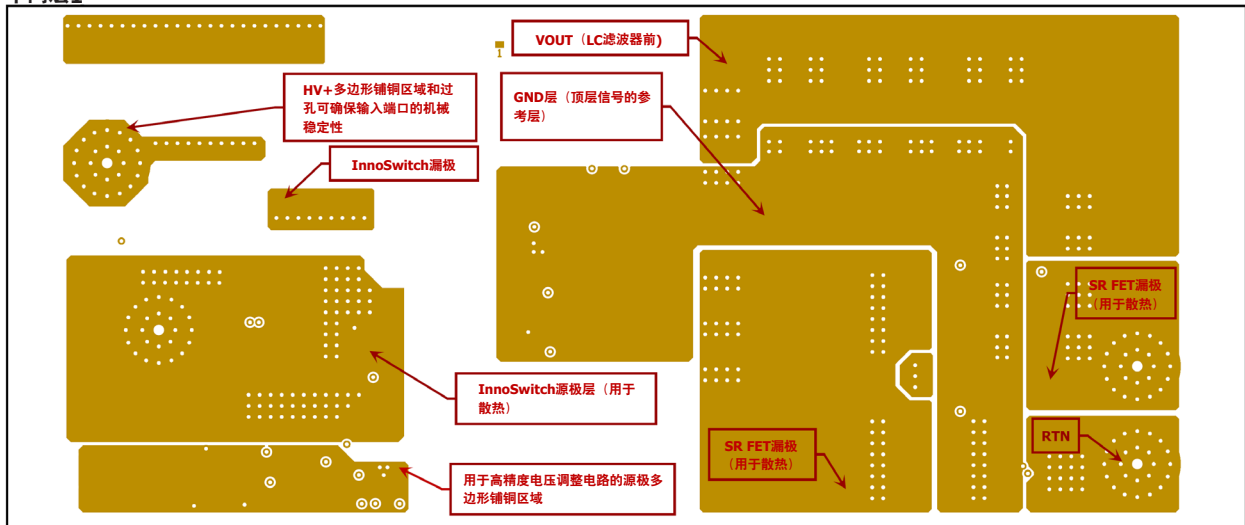


图 52. 电流环路和高dv/dt节点 (DER-953Q顶面和底面装配图)

顶层



中间层1



中间层2

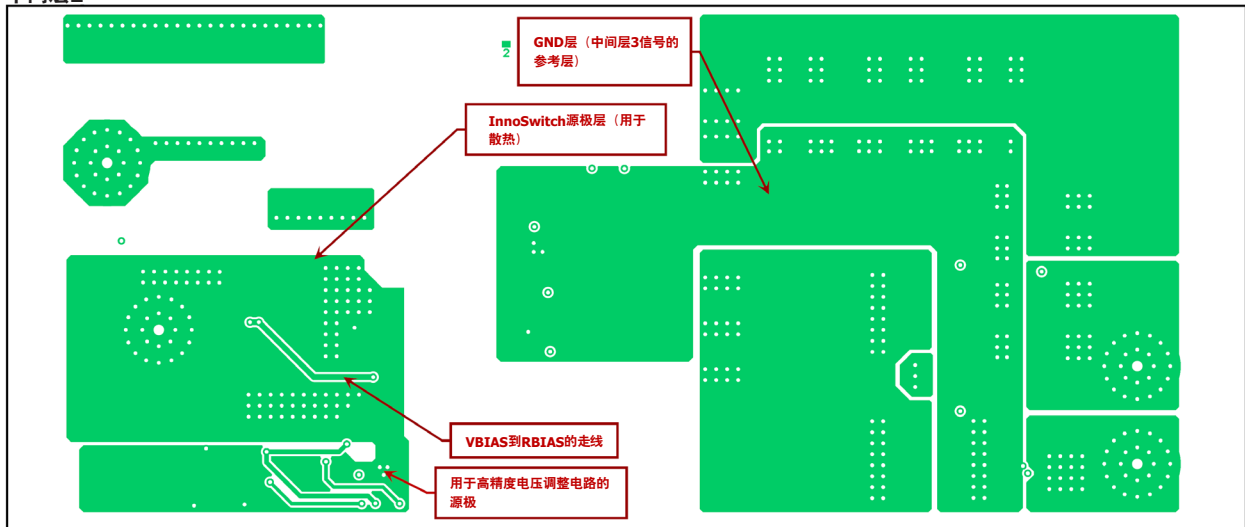
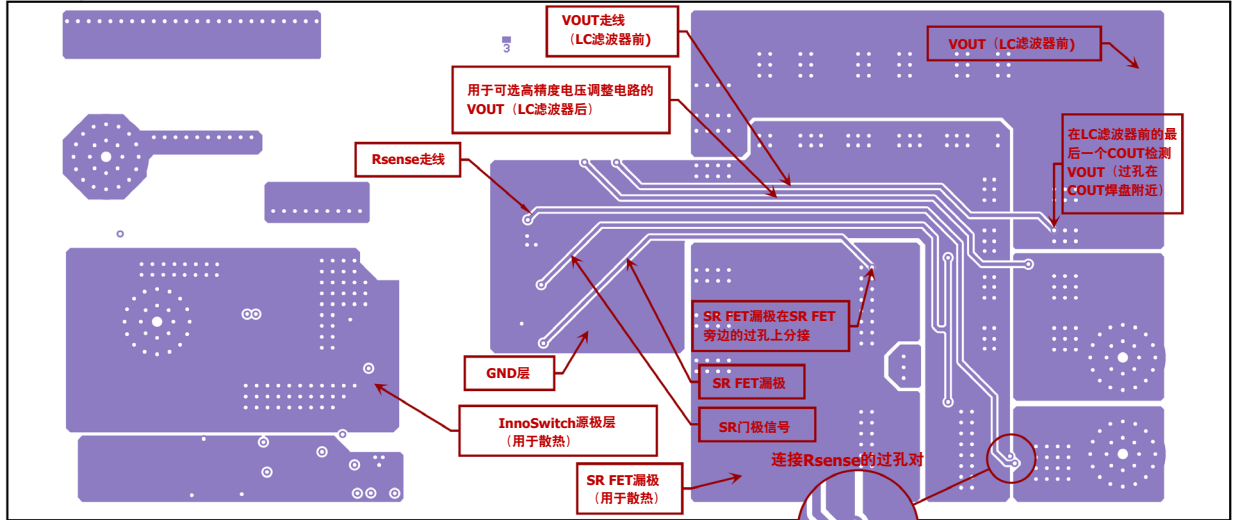
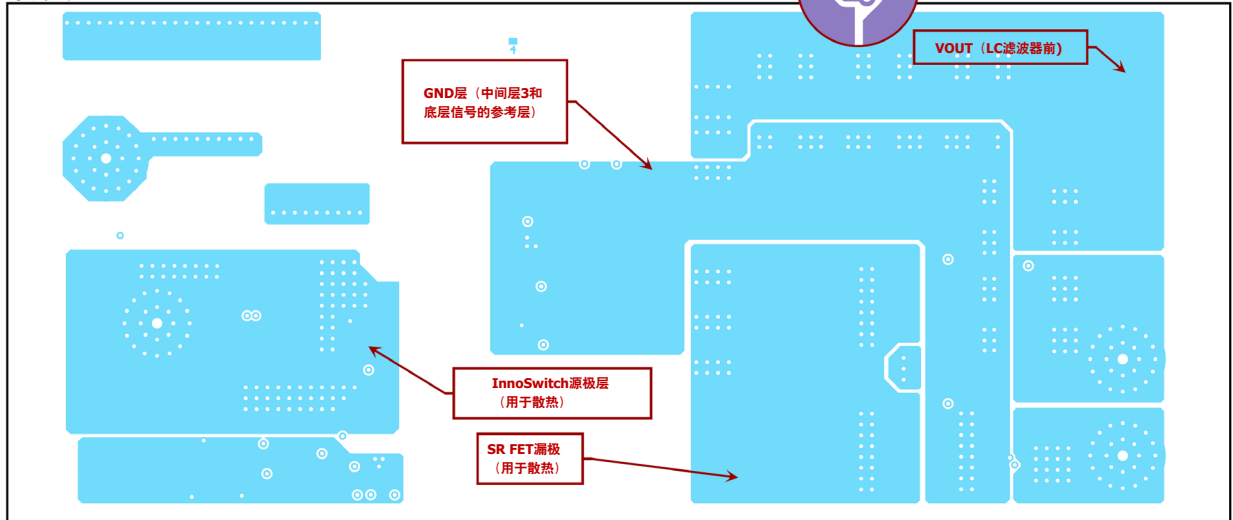


图 53. DER-953Q 铺铜层 (顶层, 中间层1, 中间层2)

中间层3



中间层4



中间层5

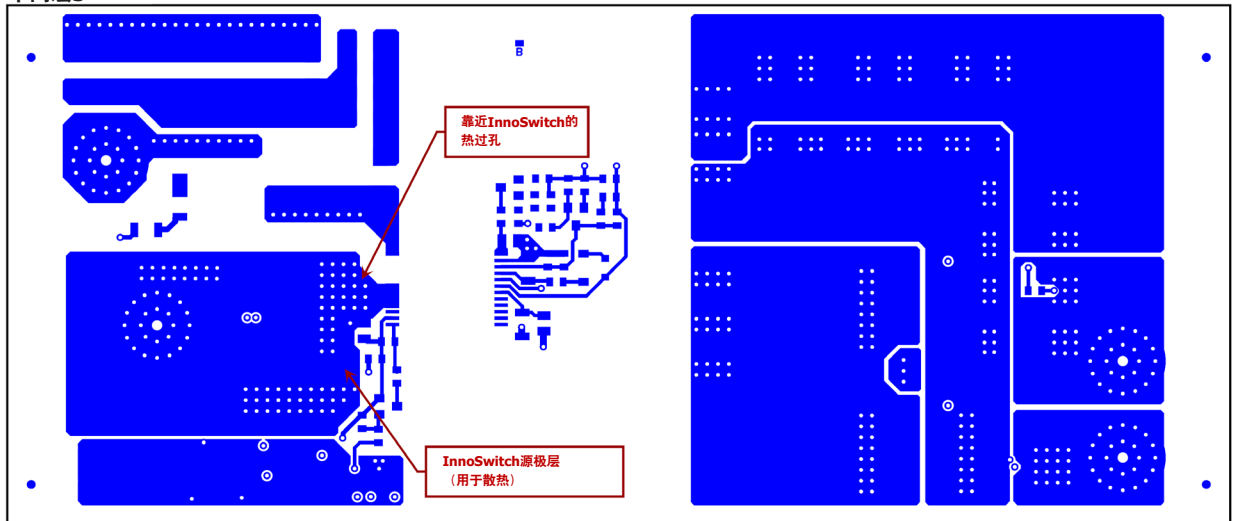


图 54. DER-953Q辅铜层 (中间层3, 中间层4, 底面)

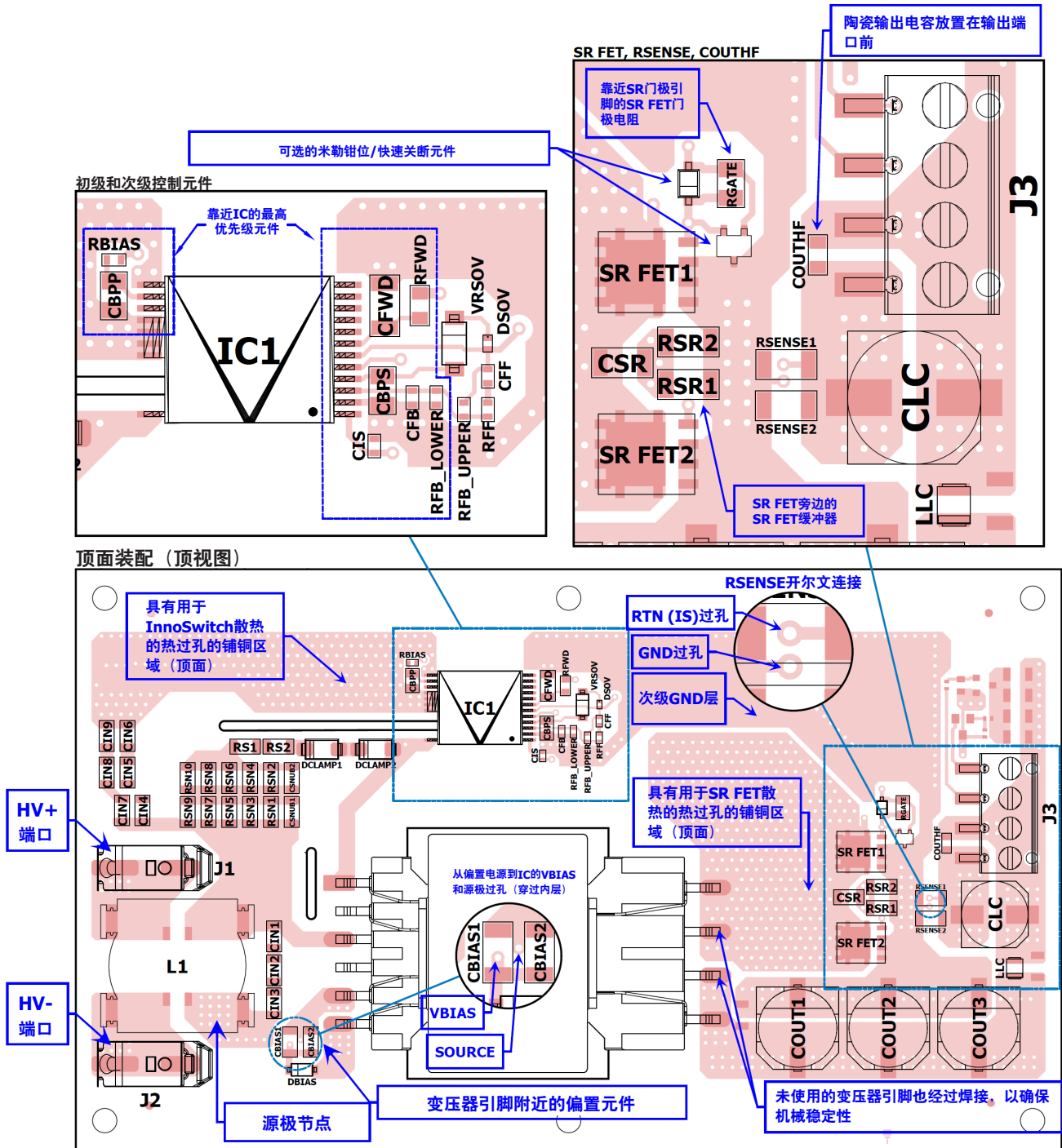


图 55. 仅顶面装配的设计布局示例 (DER-948Q - 顶面)

底面装配 (底视图)

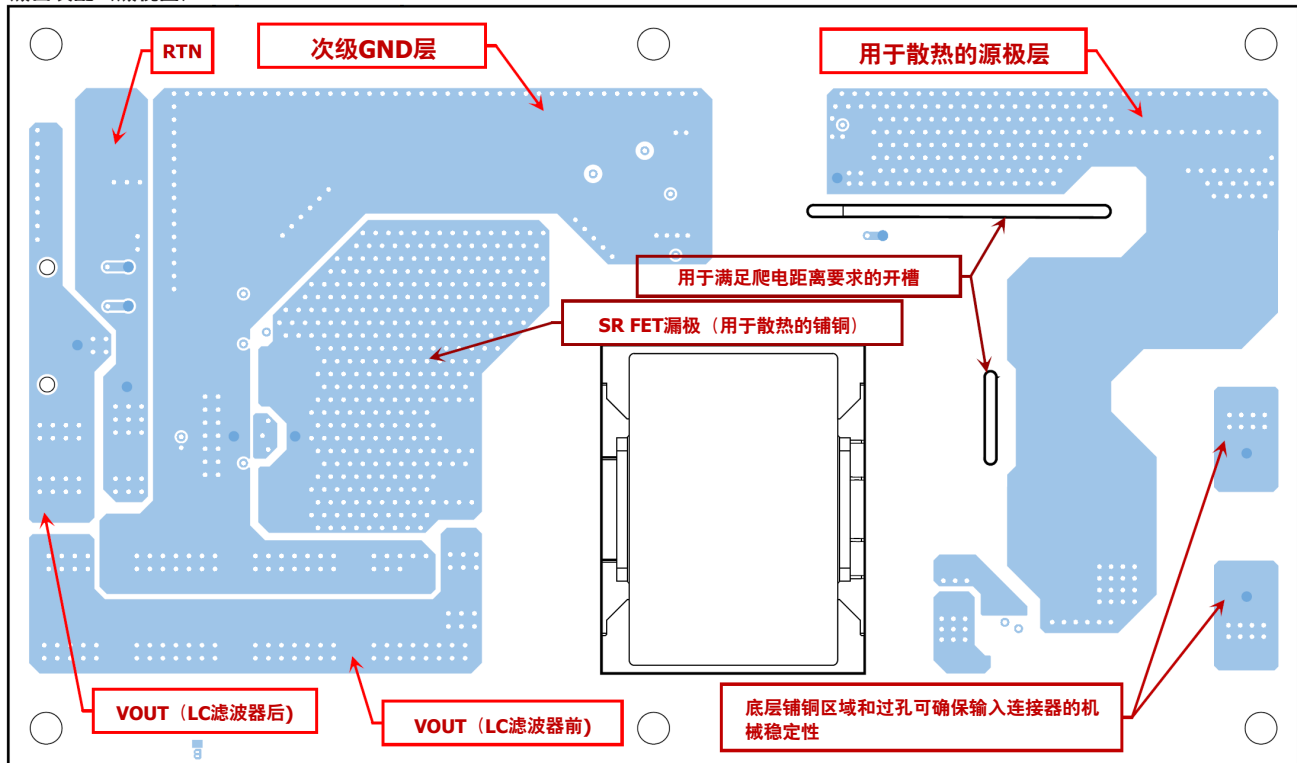


图 56. 仅顶面装配的设计布局示例 (DER-948Q - 底面)

顶面装配 (顶视图)

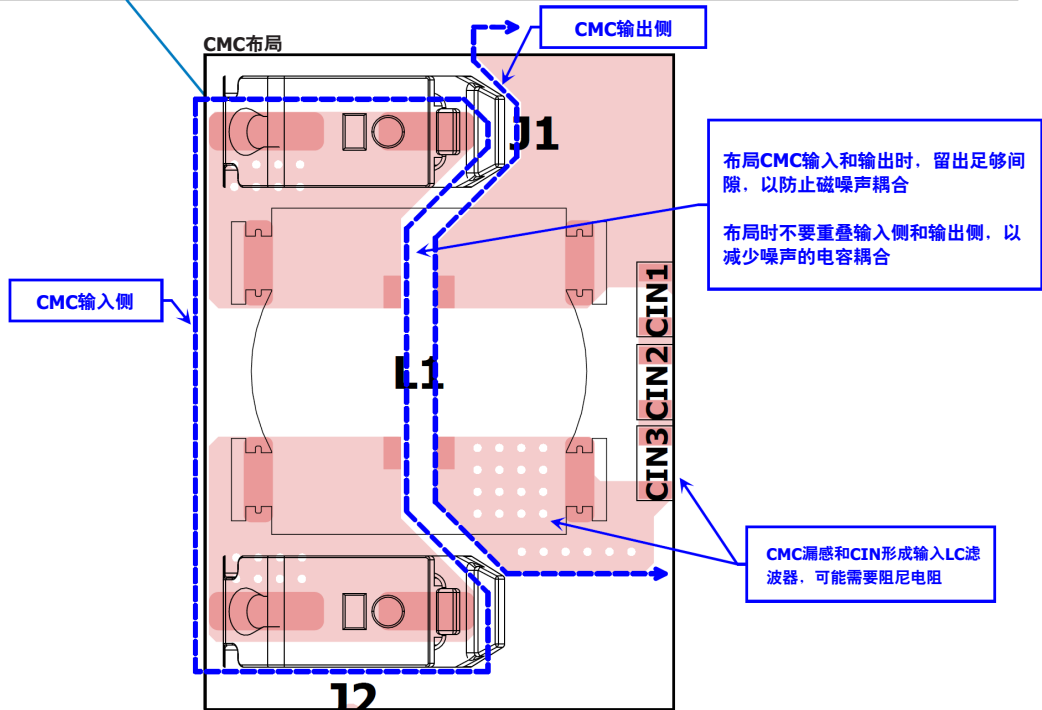
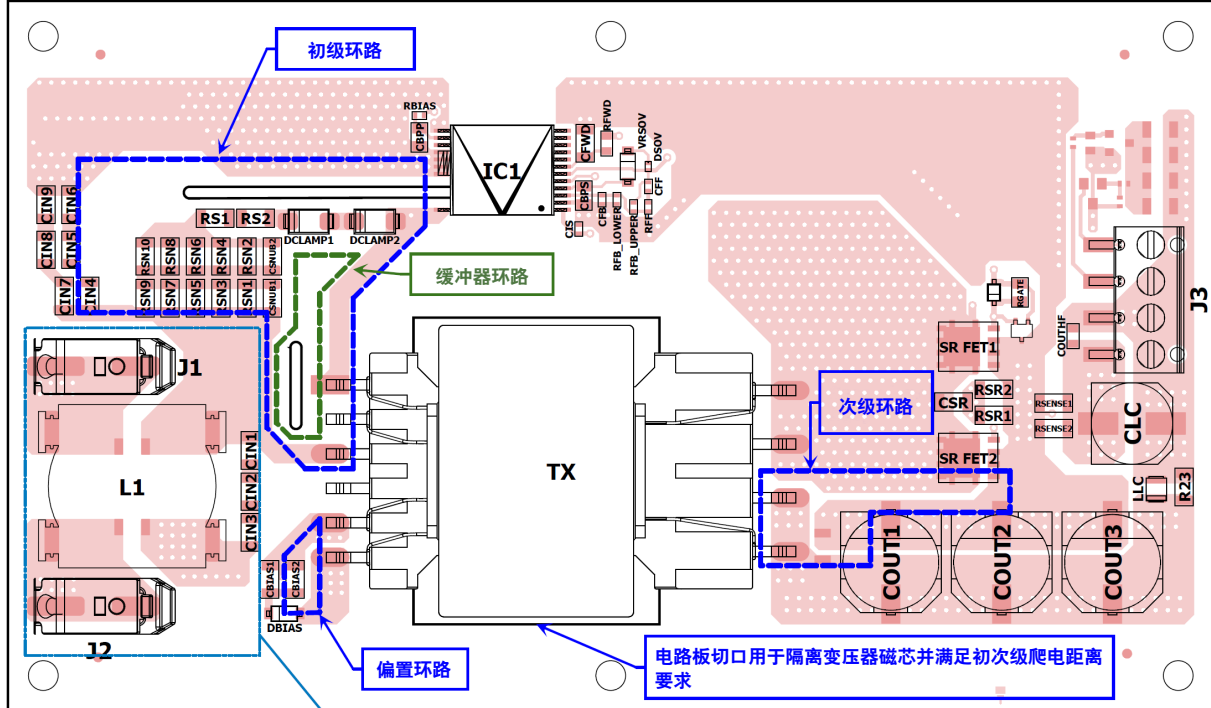


图 57. DER-948Q布局中的关键环路和CMC布局

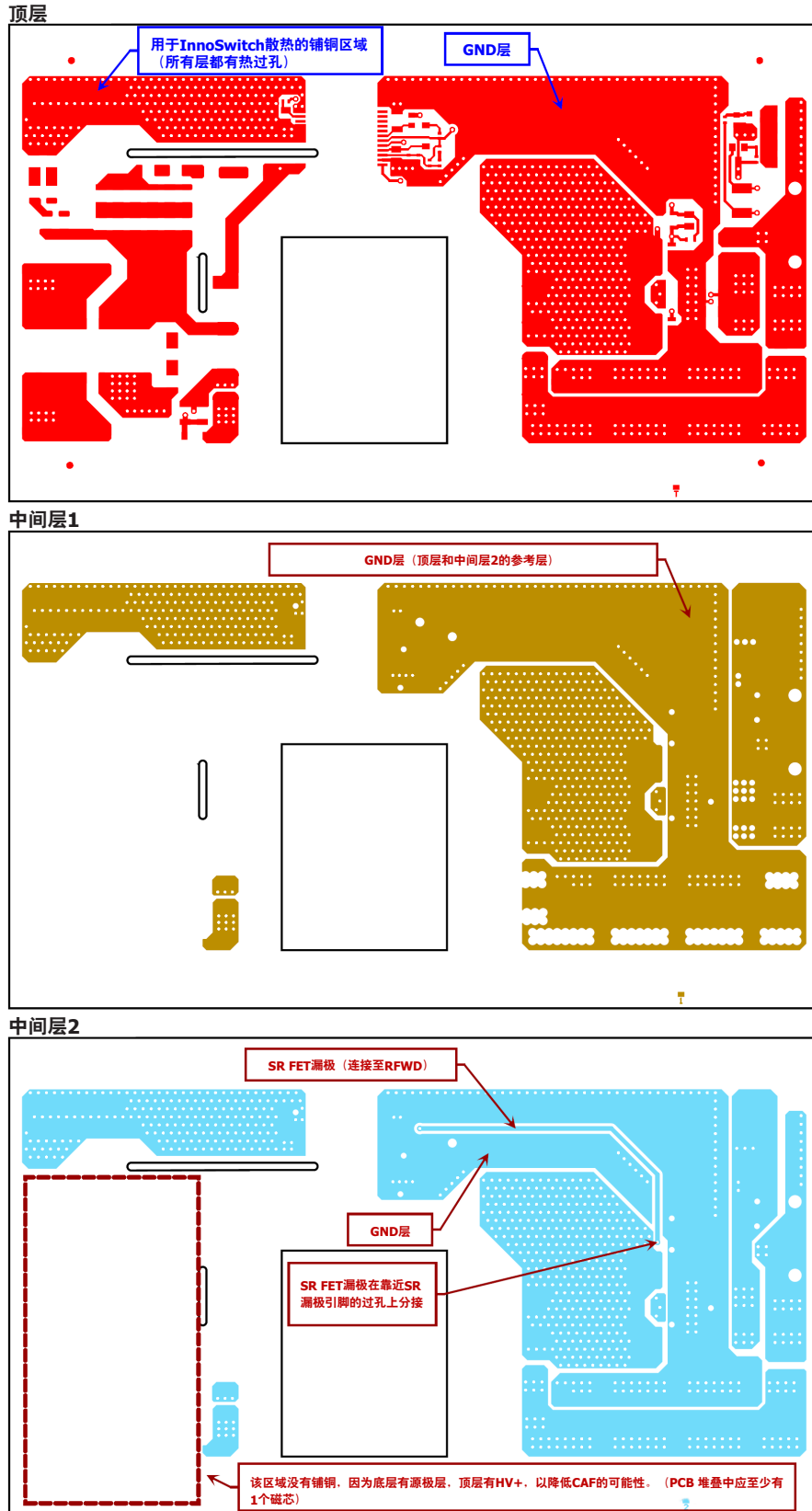


图 58. DER-948Q铺铜层 (顶层到中间层2)

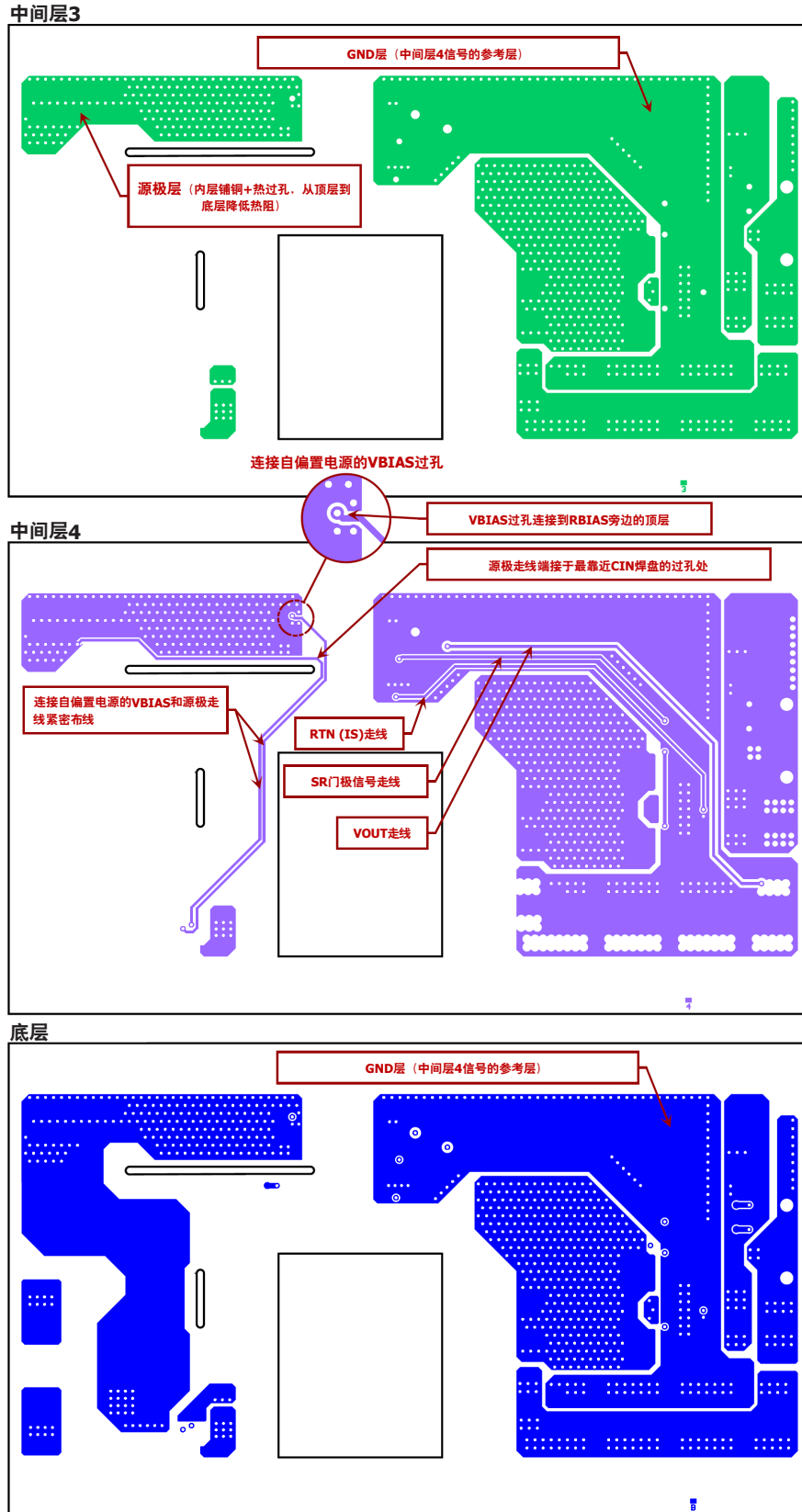


图 59. DER-948Q铺铜层 (中间层3到底层)

13 设计验证校验

13.1 设计阶段

1. 检查PIXIs，确保没有任何警告信息出现。使用PIXIs进行设置点分析并确认相关数值在预期范围内（例如，如果电气间隙/爬电距离仅基于IEC 60664-1，对于高 V_{IN} 设计，验证开关频率在 $V_{IN} = 1000V$ 和满载时低于30kHz）。
2. 绘制基本原理图并运用元件选择及降额规则。应在所有温度和元件公差范围内计算最大电压、电流和功率应力。这样可以防止使用尺寸过小的元件（易导致故障）或尺寸过大的组件（带来不必要的成本）。
3. 制作变压器原型并测量漏电感，以验证计算出的缓冲器元件。必要时，制作多个变压器原型以确保这些值具有可重复性。重新计算缓冲器元件并根据需要调整基本原理图。
4. 按照本文档第11节中列出的指南生成PCB布局。建议将电气间隙/爬电距离、元件距离、走线宽度等所有规则编码到PCB布局软件中，并定时检查以确保没有违反规则。

13.2 原型制作阶段

1. 电源原型制作完成后，验证关键元件的电气应力，以确认这些应力处于限制范围内。应在所有输入电压、负载和温度条件下进行测试。建议在测试期间监测以下信号，确保电源按预期工作。
 - a. InnoSwitch3-AQ的 V_{DS} 和 I_{DS}
 - b. SR FET的 V_{DS} 和 I_{DS}
 - c. FWD引脚电压（SR FET V_{DS} 是否包含 $>150V$ 的尖峰）
 - d. V_{BIAS} ，在使用初级检测OVP的情况下，确认可接受的交叉调整率和正确的OVP电平。
 - e. BPP电压，以检查偏置电源是否提供足够的电流来关断IC的内部电流源。

还应在启动时和发生短路等特殊情况下测量电气应力。

2. 验证性能参数是否符合规格。在此阶段可能需要调整的关键测试参数包括：
 - a. 输出电压调整率和纹波
 - b. 效率
 - c. 温升
 - d. 动态响应
3. 验证保护功能是否正常工作，包括但不限于：
 - a. 初级和次级OVP
 - b. 过流保护
 - c. 过温保护
 - d. 短路保护

14 故障诊断指南

故障诊断指南					
观测到的问题	可能的原因/未满足的要求		建议	页码	
自动重新启动	BPS电容不正确或BPS电容损坏或断开		BPS电容需至少为2.2 μ F、0805、25 V、X7R/COG。 检查BPS是否正常并正确连接到IC	30	
	变压器设计不正确		在PIXIs中确认变压器设计（如 L_p 、 F_{SW} 、 $T_{ON(MIN)}$ ）	13-15	
			确认变压器结构（如，反极性绕组端接）	-	
			确认所有绕组是否存在外部短路	-	
	SR FET损坏		检查SR FET D-S是否短路或G-S是否开路	-	
	次级过压故障误报		确认反馈电阻的值	17	
确认次级OVP电阻和齐纳稳压管的击穿电压值			43		
在特定负载条件下自动重新启动	过载故障误报	IS引脚有噪声	增加/提高IS引脚上的电容量	5	
			为IS引脚增添一个串联电阻用于RC滤波	5	
		R_{SENSE} 的摆放位置造成IS噪声	将 R_{SENSE} 摆放在输出LC滤波器（如果设计中用到）后面	50	
			使 R_{SENSE} 远离次级缓冲电路等噪声元件	55	
		在高温测试期间	增加并联电阻的数量或使用公差较小的电阻串联	-	
输出电压失调	在单独工作期间	反馈电阻值不正确		在PIXIs中确认反馈电阻的值	17
		IC内部控制无法处理高精度调整要求		考虑使用外部高精度电压调整补充电路	45
		InnoSwitch脉冲串	来自CMC和CIN谐振的输入振荡	增添阻尼电阻并将其与CMC绕组并联，以增强阻尼效果	37
			由次级绕组漏感和CSR谐振引起的振荡	修改变压器以减少次级漏感或减小 C_{SR}	-
	在逆变器工作期间	次级RTN环路不正确		确保次级区域的返回环路正确， 尤其存在外壳接地的情况时	-
		FB引脚噪声		将反馈电阻和电容网络尽可能靠近FB和GND引脚放置	50
		磁场耦合到InnoSwitch，尤其是当放置在直流母线电容附近时		使用连接到HV-的铜屏蔽InnoSwitch3-AQ IC	-

观测到的问题	可能的原因/未满足的要求		建议	页码	
输出电压纹波不符合规格	严格的输出动态和静态电压纹波要求		在反馈网络中增添一个前馈网络, 起始值为10kΩ和10nF, 然后根据需要进行调整	-	
			增添一个输出LC滤波器	-	
			增加输出电容容量以获得更好的动态输出电压纹波	-	
	输出电容的ESR较高		检查电压纹波测量的探测技术 (如短环探头、1μF并联电容)	-	
		考虑使用ESR值较低的聚合物型电容	34		
元件过热	InnoSwitch3-AQ IC	在正常工作时	开关损耗大, 特别是在高输入电压下	考虑降低 F_{SW} 工作频率并通过PIXIs确认	13
			流入BPP引脚的电流不足	检查 R_{BIAS} 的值是否足以提供所需的BPP电流	30
		在启动和InnoSwitch3-AQ IC禁止期间	禁止状态下的连续高电流漏极供电工作	使用补充禁止电路 用新的芯片版本从内部解决	44
	缓冲电阻	散热或封装功率能力不足		确保有足够的空间用于散热, 并使用更大的电阻封装, 如MELF类型	29
	初级缓冲器二极管	慢速二极管反向恢复时间(T_{RR})		使用快速恢复二极管, 理想情况下 $t_{RR} \leq 75ns$	29
元件应力较高	InnoSwitch3-AQ IC	缓冲器电路电压限制不足		增加缓冲电容容值, 同时也能提高缓冲电阻的功率能力	29
		高 V_{OR} 值		降低 V_{OR} 值, 但要考虑到FWD引脚的最大额定电压为150V	14
		缓冲器二极管的慢速二极管反向恢复时间(T_{RR})		使用快速恢复二极管, 理想情况下 $t_{RR} \leq 75ns$	29
		反向变压器绕组		确认变压器结构	-
	SR FET	缓冲器电路电压限制不足		增加缓冲电容容值, 同时也能提高缓冲电阻的功率能力	33
启动期间的输入电容	由于高 dv/dt 导致启动期间浪涌电流过大		在直流母线电容与输入电容之间增添具有高脉冲功率能力的限流电阻并将其串联	-	

观测到的问题	可能的原因/未满足的要求	建议	页码
无法以低于30V的缓升输入电压启动	InnoSwitch初级控制因内部逻辑而锁存关断	使用补充启动电路	44
根据要求需要输入UV/OV	IC内部控制无法处理精确的切入/切断调整要求	使用补充UV/OV电路	44
逆变器工作期间门极驱动器信号出现振荡（对于使用InnoSwitch-AQ IC作为电源的GDU）	InnoSwitch3-AQ IC通过模块的辅助引脚供电	将InnoSwitch3-AQ IC输入直接连接到直流母线电容，或在输入电容前面增强一个差模共模扼流圈	36
较低电压下无法满足输出功率要求	变压器设计可能针对高压输入进行优化，并受到 t_{OFFMIN} 的限制	在PIXIs中确认变压器设计。可以降低 V_{OR} 以满足要求	15
在自由振荡期间InnoSwitch-AQ IC漏源极电压出现异常振荡和峰值	InnoSwitch3-AQ IC进入漏极供电工作，通过输入漏极引脚为初级侧控制供电	确认 R_{BIAS} 的值是否足以提供所需的BPP电流	30

修订版本	注释	日期
A	初始版本。	09/23
B	布局、图片和公式更新。	01/24
C	图片和文字更新。	06/24

有关最新产品信息，请访问：www.power.com

Power Integrations reserves the right to make changes to its products at any time to improve reliability or manufacturability. Power Integrations does not assume any liability arising from the use of any device or circuit described herein. POWER INTEGRATIONS MAKES NO WARRANTY HEREIN AND SPECIFICALLY DISCLAIMS ALL WARRANTIES INCLUDING, WITHOUT LIMITATION, THE IMPLIED WARRANTIES OF MERCHANTABILITY, FITNESS FOR A PARTICULAR PURPOSE, AND NON-INFRINGEMENT OF THIRD PARTY RIGHTS.

Patent Information

The products and applications illustrated herein (including transformer construction and circuits external to the products) may be covered by one or more U.S. and foreign patents, or potentially by pending U.S. and foreign patent applications assigned to Power Integrations. A complete list of Power Integrations patents may be found at www.power.com. Power Integrations grants its customers a license under certain patent rights as set forth at www.power.com/ip.htm.

Life Support Policy

POWER INTEGRATIONS PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF POWER INTEGRATIONS. As used herein:

1. A Life support device or system is one which, (i) is intended for surgical implant into the body, or (ii) supports or sustains life, and (iii) whose failure to perform, when properly used in accordance with instructions for use, can be reasonably expected to result in significant injury or death to the user.
2. A critical component is any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

Power Integrations, the Power Integrations logo, CAPZero, ChiPhy, CHY, DPA-Switch, EcoSmart, E-Shield, eSIP, eSOP, HiperLCS, HiperPLC, HiperPFS, HiperTFS, InnoSwitch, Innovation in Power Conversion, InSOP, LinkSwitch, LinkZero, LYTSwitch, SENZero, TinySwitch, TOPSwitch, PI, PI Expert, PowiGaN, SCALE, SCALE-1, SCALE-2, SCALE-3 and SCALE-iDriver, are trademarks of Power Integrations, Inc. Other trademarks are property of their respective companies. ©2023, Power Integrations, Inc.

Power Integrations全球销售支持网络

全球总部

5245 Hellyer Avenue
San Jose, CA 95138, USA
Main: +1-408-414-9200
Customer Service:
Worldwide: +1-65-635-64480
Americas: +1-408-414-9621
e-mail: usasales@power.com

中国（上海）

徐汇区漕溪北路88号圣爱广场
1601-1603室
上海|中国, 200030
电话: +86-21-6354-6323
电子邮箱: chinasales@power.com

中国（深圳）

南山区科技南八路二号豪威科技大厦
17层
深圳|中国, 518057
电话: +86-755-8672-8689
电子邮箱: chinasales@power.com

德国

(AC-DC/LED/电机控制销售)
Einsteinring 37
85609 Dornach/Aschheim
Germany
Tel: +49-89-5527-39100
e-mail: eurosales@power.com

德国（门极驱动器销售）

HellwegForum 3
59469 Ense
Germany
Tel: +49-2938-64-39990
e-mail: igbt-driver.sales@power.com

印度

#1, 14th Main Road
Vasanthanagar
Bangalore-560052 India
Phone: +91-80-4113-8020
e-mail: indiasales@power.com

意大利

Via Milanese 20, 3rd. Fl.
20099 Sesto San Giovanni (MI) Italy
Phone: +39-024-550-8701
e-mail: eurosales@power.com

日本

Yusen Shin-Yokohama 1-chome Bldg.
1-7-9, Shin-Yokohama, Kohoku-ku
Yokohama-shi,
Kanagawa 222-0033 Japan
Phone: +81-45-471-1021
e-mail: japansales@power.com

韩国

RM 602, 6FL
Korea City Air Terminal B/D, 159-6
Samsung-Dong, Kangnam-Gu,
Seoul, 135-728, Korea
Phone: +82-2-2016-6610
e-mail: koreasales@power.com

新加坡

51 Newton Road
#19-01/05 Goldhill Plaza
Singapore, 308900
Phone: +65-6358-2160
e-mail: singaporesales@power.com

台湾地区

5F, No. 318, Nei Hu Rd., Sec. 1
Nei Hu Dist.
Taipei 11493, Taiwan R.O.C.
Phone: +886-2-2659-4570
e-mail: taiwansales@power.com

英国

Building 5, Suite 21
The Westbrook Centre
Milton Road
Cambridge
CB4 1YG
Phone: +44 (0) 7823-557484
e-mail: eurosales@power.com