

HiperPFS-5 제품군

750V PowiGaN 스위치가 통합된
PFC(역률 보정) 컨트롤러

제품의 주요 특징

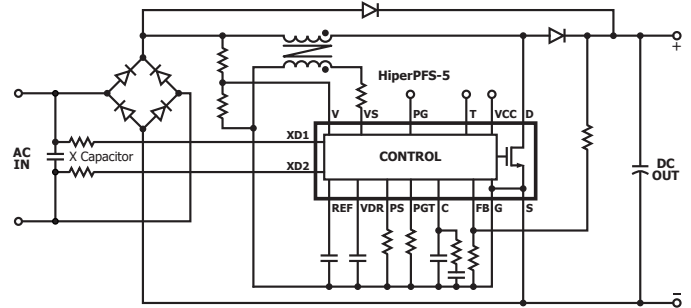
- 부하 범위 전체에 걸쳐 고효율 및 고역률
 - 10%~100% 부하에서 98%를 넘는 효율
 - 20% 부하에서 0.96PF
- 유사 공진 DCM(불연속 전도 모드) 제어
 - 히트싱크 없이 최대 250W 출력
 - 출력 전력을 높이기 위해 PFC 단을 병렬로 연결할 수 있음
 - 가장 작은 부스트 인덕터와 간단한 부스트 다이오드
 - 낮은 스위칭 손실
 - PF 개선이 EMI 필터와 브리지 정류기 왜곡 보상
 - UPS 또는 발전기의 왜곡된 입력 전압 신호에서 작동
- 230VAC에서 40mW 미만의 무부하 소비 전력
 - 통합된 자동 X 커패시터 방전
- 750V PowiGaN™ 스위치
 - 305VAC에서 80% 디레이팅으로 고역률
 - 460VAC 라인 평창을 쉽게 견딜
- 높은 집적도, 작은 공간
 - 고전압 스타트업을 위한 셀프 바이어스
 - 소스 전위 냉각으로 EMI 감소
- 액티브 돌입 제어를 위한 프로그래밍 가능한 PG(Power Good) 신호
- 선택 가능한 전력 제한으로 신속한 프로토타입 제작 가능
- IEC62368 안전 인증 획득

Applications

- PC
- 프린터
- LCD TV
- 비디오 게임 콘솔
- 80 Plus™ Platinum
- 고전력 어댑터 및 USB PD 3.1 급속 충전
- 고전력 LED 조명
- 산업 기기 및 가전 제품
- 일반 PFC 컨버터

설명

HiperPFS™-5 고급 역률 보정 IC 제품군은 750V PowiGaN 스위치의 낮은 스위칭 손실을 활용하여 효율을 최적화합니다. 고집적 및 고급 제어로 부품 수와 인덕터 크기를 줄여 시스템 설치 공간을 최소화합니다. 로우 프로파일, 표면 실장 InSOP-T28F 패키지에 장착된 HiperPFS-5는 열을 PCB로 직접 전달하기 때문에 부피가 큰 히트싱크가 필요하지 않습니다.



PI-9302g-013023

Figure 1. Typical Application Circuit.

Output Power Table

| Maximum Continuous Output Power at 90 VAC | |
|---|--------------------------|
| Product ^{1,2} | Self Biased |
| PFS5173F | 77 W |
| PFS5174F | 115 W |
| PFS5175F | 130 W |
| PFS5176F | 165 W |
| PFS5177F | 185 W |
| PFS5178F | 250 W |
| Product ^{1,2} | Non Self-Biased (USB PD) |
| PFS5274F | 115 W |
| PFS5275F | 130 W |
| PFS5276F | 165 W |
| PFS5277F | 185 W |
| PFS5278F | 250 W |

Table 1. Output Power Table.

Notes:

- Maximum output power is dependent on the design. With condition that package temperature < 125 °C.
- Package: InSOP-T28F.

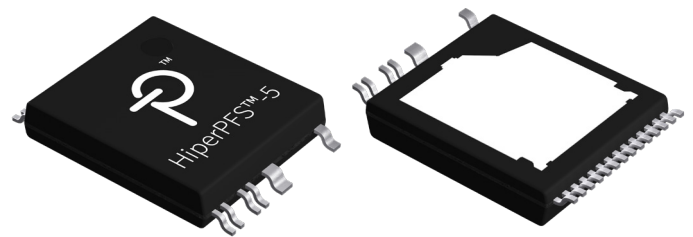


Figure 2. InSOP-T28F Package.

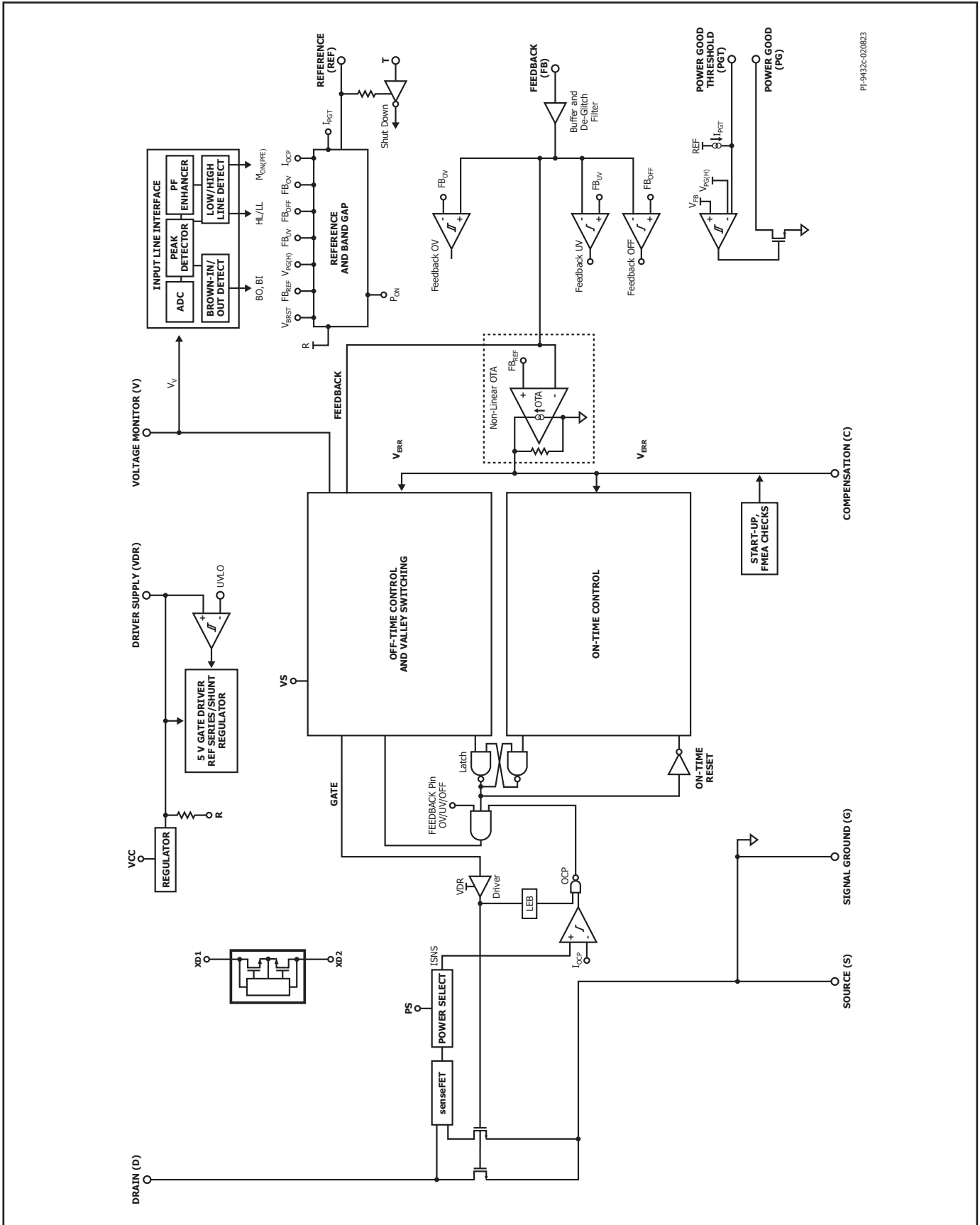


Figure 3. Functional Block Diagram.

핀 기능 설명

VALLEY SENSING(VS) 핀(핀 1)

이 핀은 PFC 인덕터의 보조 권선에서 전압을 센싱하는 데 사용됩니다. VS 핀은 외부 저항을 통해 PFC 인덕터의 보조 권선에 연결됩니다. PFC 인덕터의 보조 권선 전압은 컨트롤러에 드레인 전압에 대한 정보를 제공합니다. 외부 저항은 VS 핀을 통과하는 전류를 제한하고 밸리 스위칭의 타이밍을 미세 조정하는 데 사용됩니다.

SIGNAL GROUND(G) 핀(핀 2, 13)

피드백 회로에 사용되는 개별 부품(루프 보정과 BIAS POWER(VCC), REFERENCE(REF), VOLTAGE MONITOR(V)에 대한 디커플링 커패시터 등)은 SIGNAL GROUND(G) 핀이 기준점이 되어야 합니다. 또한, SIGNAL GROUND 핀은 디바이스의 노출 패드에 연결됩니다. SIGNAL GROUND 핀은 IC 외부에 있는 SOURCE 핀에 직접 연결하면 안 됩니다.

T 핀(핀 3)

이 핀은 HiperPFS-5 IC가 (SIGNAL GROUND 전위로) 풀다운될 때 셧다운하는 데 사용됩니다. PFC 단을 턴오프하는 데 사용할 수 있으며, 경부하에서 전체 시스템 효율을 개선합니다. 외부 바이어스가 인가되지 않으면 내부 저항이 T 핀을 (REF 핀 전압으로) 풀업합니다. T 핀은 정상적인 회로 동작 중에 플로팅 상태로 둘 수 있지만, 이 디바이스에 셧다운 모드가 사용될 때는 VDR 핀으로부터 외부 풀업 저항을 사용하는 것이 좋습니다(예: 50kΩ, 값은 T 핀을 풀다운하는 데 사용된 트랜지스터 유형에 따라 다름).

VOLTAGE MONITOR(V) 핀(핀 4)

VOLTAGE MONITOR 핀은 100:1, 1% 하이 임피던스 저항 분배기를 통해 정류된 고전압 DC 레일에 연결되어 대기 모드에서 소비 전력을 최소화합니다. 권장되는 저항값은 8MΩ~16MΩ입니다. 이 분배기 비율을 변경하면 입력 전류 파형에 영향을 미치고 역률이 낮아지며 THD가 증가합니다. 80μs 시간 상수를 형성하는 소형 세라믹 커패시터는 VOLTAGE MONITOR 핀과 SIGNAL GROUND 핀 사이에 연결하여 정류된 DC 버스에 존재하는 스위칭 노이즈를 우회해야 합니다. 이 핀은 또한 브라운인/아웃 감지 기준점(Threshold)을 제공하며 오픈 회로 조건에서 풀다운 역할을 하는 약한 전류 소스를 통합합니다.

COMPENSATION(C) 핀(핀 5)

이 핀은 COMPENSATION 핀과 SIGNAL GROUND 핀 사이의 커패시터와 저항 네트워크를 통해 OTA 여러 증폭기의 루프 극점/영점 보상에 사용됩니다.

두 개 이상의 PFC 단을 C 핀(및 출력)을 통해 연결하여 병렬 동작을 가능하게 할 수 있습니다. C 핀들을 함께 연결하는 패턴은 하이 임피던스 노드이므로 노이즈 픽업을 피하도록 배선해야 합니다. (그림 4 참조)

FEEDBACK(FB) 핀(핀 6)

이 핀은 메인 전압 레귤레이션 피드백 저항 분배기 네트워크에 연결되어 있고 고속 과전압 및 저전압 보호에도 사용됩니다. 또한 이 핀은 스타트업 시 피드백 전압 분배기 네트워크의 존재를 감지합니다. 분배기 비율은 공칭 PFC 출력 전압이 400V가 되도록 400/3.85여야 합니다. 큰 상단 저항은 8MΩ~16MΩ 사이에서, ±1%로 배치하는 것이 좋습니다. FEEDBACK과 SIGNAL GROUND 사이에는 하단 저항과 함께 80μs 시간 상수를 형성할 소형 세라믹 커패시터가 필요합니다.

POWER GOOD(PG) 핀(핀 7)

PFS517x에서 PG 기능을 사용하는 것은 선택 사항입니다. POWER GOOD 핀은 출력 전압이 레귤레이션 상태인 경우 전류를 싱크하는 액티브 로우 오픈 드레인 연결입니다. 스타트업 시 FEEDBACK 핀 전압이 내부 레퍼런스 전압의 ~95%까지 상승하면 POWER GOOD 핀은 로우 상태로 떨어집니다. 스타트업 후, PG 신호가 하이 임피던스가 되는 출력 전압 기준점(Threshold)은 POWER GOOD THRESHOLD 핀 저항으로 프로그래밍된 기준점(Threshold)에 따라 달라집니다. 사용하지 않을 경우 POWER GOOD 핀은 플로팅 상태로 두어야 합니다.

PFS527x에서 이 핀은 부스트 팔로워 기능을 구현하는 데 사용됩니다. 이것은 피크 감지된 입력 전압이 하이리인으로 확인되면, 전류를 싱크하는 액티브 로우, 오픈 드레인 연결입니다. PG 핀과 FB 핀 사이에 추가 피드백 저항 R_{BF}를 연결하여 로우라인과 하이라인 입력 사이의 출력 전압을 변경합니다. 이 기능은 특히 로우라인 AC 입력에서 효율을 개선합니다.

POWER GOOD THRESHOLD(PGT) 핀(핀 8)

이 핀은 PG 신호가 PFC 단이 레귤레이션 상태를 벗어났음을 나타내며 하이 임피던스가 되는 출력 전압 기준점(Threshold)을 프로그래밍하는 데 사용됩니다. PG 신호의 낮은 기준점(Threshold)은 POWER GOOD THRESHOLD 핀과 SIGNAL GROUND 핀 사이의 저항으로 프로그래밍됩니다. POWER GOOD THRESHOLD를 REFERENCE 핀에 연결하면 Power Good 기능이 비활성화됩니다(즉, POWER GOOD 핀이 하이 임피던스 상태로 남아 있음). 부스트 팔로워 모드에서 PGT 핀은 기능이 없으므로 REFERENCE 핀에 연결해야 합니다.

POWER SELECTION(PS) 핀(핀 9)

이 핀은 HiperPFS-5의 출력 전력을 프로그래밍하는 데 사용됩니다. 전력은 SIGNAL GROUND 핀에 연결된 저항으로 프로그래밍됩니다. 전력은 공칭 전력의 70%~100% 사이에서 10% 단위로 프로그래밍됩니다.

VPP 핀(핀 10)

REF 핀에 연결하거나 오픈 상태로 두어야 합니다.

REFERENCE(REF) 핀(핀 11)

이 핀은 외부 바이패스 커패시터에 연결됩니다. 이 핀의 전압은 공칭 5V이며 PFS PowiGaN 내부의 제어 회로에 전원을 공급하는 데 사용됩니다.

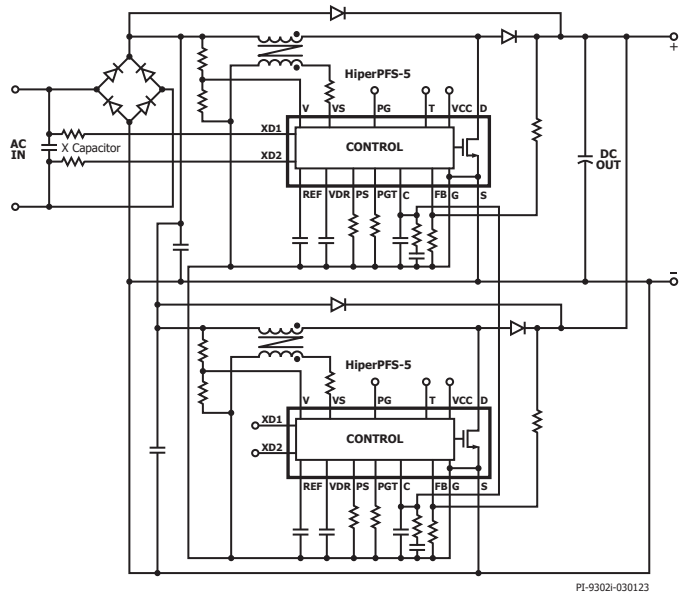


Figure 4. Compensation Pin Connection for Parallel Operation.

DRIVER VCC DECOUPLING(VDR) 핀(핀 12)

이 핀은 외부 바이패스 커패시터에 연결됩니다. VDR 핀에 공칭 5.25V의 레귤레이션된 전압을 공급하는 내부 선형 레귤레이터가 있습니다. 이 전압은 PFS PowiGaN 컨트롤러의 드라이버 섹션에 전원을 공급하는 데 사용됩니다.

BIAS POWER(VCC) 핀(핀 14)

IC에 전원을 공급하는 데 사용되는 7-35VDC 바이어스 서플라이에 대한 입력입니다. 최대 동작 전압은 BIAS POWER 핀이 35VDC를 초과하지 않도록 외부에서 클램핑되어야 합니다.

X CAPACITOR DISCHARGE TERMINAL XD1(핀 15-16)

X 커패시터의 한 단자에 내부적으로 함께 연결됩니다. 이 두 핀은 패키지 내부의 본드 와이어로 함께 연결됩니다. 방전 저항을 선택하려면 CAPZero-2 데이터 시트의 권장 사항을 따르십시오.

X CAPACITOR DISCHARGE TERMINAL XD2(핀 18-19)

직렬 저항을 통해 핀 한 쌍을 X 커패시터의 각 측면에 연결합니다. 이 두 핀은 패키지 내부의 본드 와이어로 내부적으로 함께 연결됩니다. 방전 저항의 값을 선택하려면 CAPZero-2 데이터 시트의 권장 사항을 따르십시오.

SOURCE(S) 핀(핀 21)

이 핀은 파워 스위치 소스 연결이자 벌크 커패시터 마이너스 단자 연결입니다.

DRAIN(D) 핀(핀 28)

내부 파워 스위치를 위한 드레인 연결입니다.

SOURCE(S) 노출 패드

노출 패드는 파워 스위치의 소스 연결이자 벌크 커패시터 마이너스 단자 연결입니다. 파워 스위치 냉각을 위한 열 경로도 제공합니다.

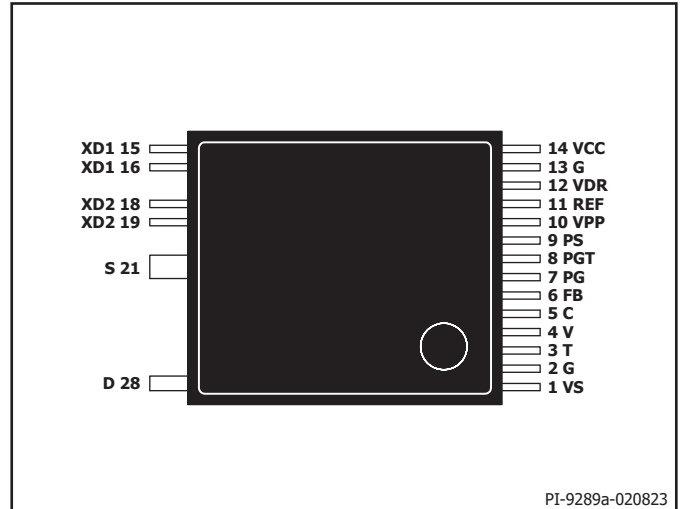


Figure 5. Pin Configuration.

PI-9289a-020823

기능 설명

HiperPFS-5 제품군은 가변 스위칭 주파수 부스트 PFC 디바이스입니다. 일정 amp-second 온타임과 일정 volt-second 오프타임 컨트롤 알고리즘을 사용합니다. 이 알고리즘은 출력 전압을 레귤레이션하고 입력 전류를 형성하여 고조파 전류 제한 규제와 (고역률)을 준수하는 데 사용됩니다. 스위치 전류를 적분하고 스위치 온타임 동안 amp-second 곱이 일정하도록 제어하면 평균 입력 전류가 입력 전압을 따를 수 있습니다. 출력 및 입력 전압의 차이를 적분하면 부스트 인덕턴스, 레귤레이션된 출력 전압 및 전력에 의해 결정되는 일정한 volt-second 균형이 유지됩니다. 컨트롤러는 각 온사이클 동안 전달되는 전하량을 설정합니다. 사이클당 전하는 부하 변경에 따라 많은 스위칭 사이클을 거치면서 점진적으로 바뀌므로 주어진 하프 라인 사이클 동안 일정하게 유지되는 것으로 간주할 수 있습니다. 이 일정 전하(또는 amp-second) 컨트롤 방식은 다음과 같이 표현됩니다.

$$I_{IN} \times t_{ON} = K_2 \quad (1)$$

이 제어 기술은 또한 오프타임(t_{OFF})에 대한 일정한 volt-second를 설정합니다. 오프타임은 다음과 같이 컨트롤됩니다.

$$(V_O - V_{IN}) \times t_{OFF} = K_1 \quad (2)$$

온타임 동안의 volt-second는 오프타임 동안의 volt-second와 같아야 하므로(PFC 초크에서 자속 평형을 유지하기 위해) 온타임(t_{ON})은 다음과 같이 컨트롤됩니다.

$$V_{IN} \times t_{ON} = K_1 \quad (3)$$

(3)의 t_{ON} 을 (1)에 대입하면 다음과 같습니다.

$$I_{IN} = V_{IN} \times K_2 / K_1 \quad (4)$$

(4)의 관계는 일정한 amp-second 온타임과 일정한 volt-second 오프타임을 컨트롤하면 입력 전류 I_{IN} 이 입력 전압 V_{IN} 에 비례하게 되어 역률 보정의 기본 요건을 충족한다는 것을 보여줍니다.

오프타임에 대한 volt-second 적분이 끝나면 컨트롤러는 엔진을 드레인 전압의 밸리를 기다리며 PowiGaN을 최소한으로 턴온합니다. HiperPFS-5 IC는 이 지연을 보상하기 위해 원하는 오프타임(volt-second 적분으로 제어)과 실제 오프타임(드레인 전압 밸리와 동기화)의 차이도 측정합니다. 그런 다음 컨트롤러는 이 차이를 해결하기 위해 다음 온타임 기간을 조정합니다. 이 밸리 보정은 각 스위칭 사이클에서 동일한 평균 전류를 보장합니다.

이러한 제어는 불연속 모드 파워 스위치 전류 파형을 생성합니다(정상 동작 중). 이때, 라인 하프 사이클 동안 주파수와 피크 전류 값이 모두 변화하여 입력 전압에 비례하는 입력 전류를 생성합니다.

컨트롤 엔진

컨트롤러에는 비반전 단자가 3.85V의 내부 전압 레퍼런스에 연결된 대역폭이 낮고 게인이 높은 OTA 에러 증폭기가 있습니다. 에러 증폭기의 반전 단자는 외부 FEEDBACK 핀에서 공급되며, 이 핀은 분배기 비율이 3.85:400인 출력 전압 분배기 네트워크에 연결되어 출력 전압을 400V(공칭)로 레귤레이션합니다. FEEDBACK 핀은 빠른 과도 부하 응답을 위해 분배기 네트워크에 직접 연결됩니다.

입력 전압과 출력 전압의 차이는 내부적으로 도출되어 그 결과가 조정되고 적분된 후 전압 레퍼런스(V_{OFF})와 비교되어 오프타임 종료 지점이 결정됩니다. 컨트롤러는 이 요철을 지연하고 드레인 전압의 링에서 가장 가까운 밸리와 일치하는 지점에서 오프타임을 종료합니다.

내부적으로 센싱된 FET 스위치 전류는 입력 전압 피크 감지기 전류 센싱 게인(M_{ON})에 따라 조정되고 적분된 후 에러 증폭기 신호(V_{ERR})와 비교되어 온타임 종료 지점이 결정됩니다. 밸리 보정 블록은 오프타임에서 밸리 스위칭 조정으로 인한 지연을 보상하기 위해 이를 조정합니다.

라인 피드 포워드 조정 계수(M_{ON}) 및 PF 개선 장치

VOLTAGE MONITOR(V) 핀 전압이 샘플링되어 $\Delta-\Sigma$ ADC에 의해 양자화된 디지털 값으로 변환됩니다. 동적 시간 상수 및 멀티 사이클 필터링 기능이 있는 디지털 라인 사이클 피크 감지기는 입력 라인 전압의 피크를 얻어 평균을 산출합니다. 이 피크는 M_{ON} 변수를 통해 전류 센싱 신호의 게인을 내부적으로 조정합니다. 이는 컨트롤 피드백 신호의 동적 범위를 줄이고 동작 입력 라인 전압에 대한 루프 게인을 평탄화하는 데 필요합니다. 라인 센싱 피드 포워드 게인 조정은 피크 정류된 AC 입력 전압의 제곱에 비례하며, VOLTAGE MONITOR 핀 전압에 따라 조정됩니다.

하이 라인 시, 피드 포워드 M_{ON} 변수는 EMI 필터 및 전체 브리지 네트워크에 의한 라인 전류 왜곡을 보정하기 위해 라인 사이클 전체에서 동적으로 조정되고, 역률이 향상됩니다.

또한 라인 센싱 피드 포워드 게인은 입력 라인 범위 전체에서 스위치 출력 제한을 제공하는 데 중요합니다.

디바이스의 지정된 최대 정격 전력이 초과된 경우 내부 전력 제한은 출력 과부하에 따라 설정된 레귤레이션 기준점(Threshold) 아래로 출력 전압을 레귤레이션하여 일정한 출력 전력을 유지합니다.

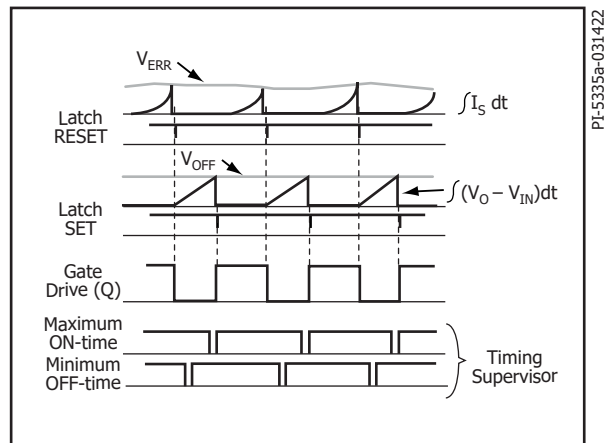


Figure 6. Idealized Converter Waveforms.

밸리 동기화

정상 동작 중에 PowiGaN 파워 스위치의 드레인 전압 밸리에서 PowiGaN 스위치가 켜집니다. 밸리 동기화 블록은 밸리에서 켜지도록 보장하여 턴온 손실을 최소화합니다.

PFC 인덕터의 보조(센싱) 권선에서 측정된 전압은 외부 저항을 통해 VALLEY SENSING(VS) 핀에 연결됩니다. PFC 인덕터의 보조(센싱) 권선의 이 전압은 PowiGaN 스위치 드레인 전압과 정류된 전압 사이의 차이를 나타냅니다. 이 전압의 밸리는 PowiGaN 스위치 드레인 전압의 밸리와 일치합니다.

CCM에서 동작하는 중이거나 드레인 전압의 진동 진폭이 너무 작아지는 경우와 같이 밸리 스위칭이 불가능한 특정 경우 컨트롤러는 NVS(No Valley Switching) 모드를 활성화합니다. 이 조건에서 컨트롤러는 밸리가 나타날 때까지 기다리지 않습니다. volt-second 적분 회로가 턴온을 요청하면 PowiGaN 스위치를 즉시 켭니다.

밸리 보정

밸리 보정은 DCM(불연속 모드)과 CrM(임계 모드)에서 밸리 스위칭 동작으로 인해 발생하는 입력 전류 왜곡을 줄입니다. DCM 및 CrM 동작에서 밸리 보정은 두 개 이상의 밸리가 감지될 때 활성화됩니다.

밸리 스위칭이 적용된 DCM PFC 컨버터에서 PowiGaN 스위치는 V_{DS} 밸리 순간에만 켜질 수 있습니다. V_{DS} 전압 링의 완화 주파수는 1MHz 이하로, 이는 두 밸리 사이의 시간이 1µs 이상 차이가 난다는 것을 의미합니다. OFF 컨트롤러가 턴온을 요청하는 순간과 PowiGaN 파워 스위치가 실제로 턴온되는 시점 사이에는 지연이 있습니다.

이 지연으로 컨트롤러가 원래 요청한 입력 전류의 평균값이 달라지며, 입력 전류가 왜곡됩니다. 평균 사이의 전류와 원하는 전류의 차이는 이 지연에 비례합니다. 이러한 경우, 스위칭 시간이 즉시 상당한 값(1µs 범위) 만큼 변경되며, 입력 전류의 왜곡이 가장 두드러지게 나타납니다.

컨트롤러 공급 회로

자체 공급 회로가 없는 부품

자체 공급 회로가 없는 부품은 BIAS POWER(VCC) 핀을 통해서만 전원이 공급됩니다. IC 내부에는 VCC 핀과 VDR 핀 사이에 선형 레귤레이터가 있습니다. 이 선형 레귤레이터는 VDR 핀의 전압을 5.25V로 레귤레이션합니다.

VDR 핀의 전압은 내부 컨트롤러에 전원을 공급하는 데 사용됩니다. 디커플링 커패시터가 VDR 핀에 연결되어 접지로 가는 낮은 고주파 임피던스 경로를 제공합니다.

자체 공급 회로가 있는 부품

자체 공급 기능이 있는 부품은 제어 회로를 위한 내부 공급 전압을 생성합니다. 컨버터는 외부 바이어스 회로에 의해 VCC 핀에 전압이 형성될 때까지 내부 PowiGaN을 통해 제어 회로에 전원을 공급하는 방식으로 동작합니다.

VCC 핀의 전압이 나타나고 내부 선형 레귤레이터를 작동하는 데 필요한 최소 전압보다 크면($VCC > 7V$) 내부 선형 레귤레이터가 제어 회로에 전원을 공급하고 자체 공급 회로를 비활성화합니다.

핀투핀 단락 보호 기능을 통한 스타트업

스타트업 시와 스위칭 시작 전에 엔진은 그림 7과 같이 일련의 동작 핀 단락/오픈 평가를 수행합니다. 고장이 감지되지 않으면 입력 전압 피크가 브라운인 기준점(Threshold)을 초과할 때 엔진이 스위칭을 활성화합니다.

OTA 에러 증폭기는 FEEDBACK 핀에 대해 센싱된 출력 전압이 레귤레이션 범위를 벗어난 경우 NLA(비선형 증폭기) 메커니즘을 제공하여 본질적으로 느린 피드백 루프 응답을 극복합니다. 따라서 에러 증폭기 기능이 과도 부하 중 최대 오버슈트 및 언더슈트를 제한할 수 있습니다.

스타트업 시 스위치 및 출력 다이오드 전류 스트레스를 줄이기 위해 HiperPFS-5에서는 스타트업 중 출력 전압(V_o)을 기반으로 오프타임을 계산하여 부드럽게 제어된 스타트업을 구현합니다.

또한 과전류 보호(OCP) 기준점(Threshold)은 공칭 값의 60%에서 100%로 높아집니다. 이로써 컨트롤 루프에 더 큰 듀티 사이클이 필요한 경우 PFC 인덕터의 자속 스윙이 줄어듭니다.

파워업 시 컨트롤러는 먼저 VDR 핀의 전압이 $V_{DR(UV+)}$ 기준점(Threshold)보다 큰지 확인하여 적절한 공급 전압이 인가되는지 확인합니다. VDR 핀의 전압이 $V_{DR(UV+)}$ 기준점(Threshold)을 넘으면 핀 오픈/단락 평가가 수행되고 FEEDBACK 핀 전압이 유효하면 과열 상태가 거짓인 것으로 확인됩니다.

이러한 검사가 확인되면 입력 전압은 V_{BR+} 기준점(Threshold)을 초과할 때까지[그러나 피크 감지기는 포화되지 않음] VOLTAGE MONITOR 핀을 통해 모니터링됩니다. 이 지점에서 POWER SELECTION(PS) 핀의 저항 값이 결정되고 최대 출력 전력이 설정됩니다. 최대 전력이 결정되면 스위칭이 활성화됩니다.

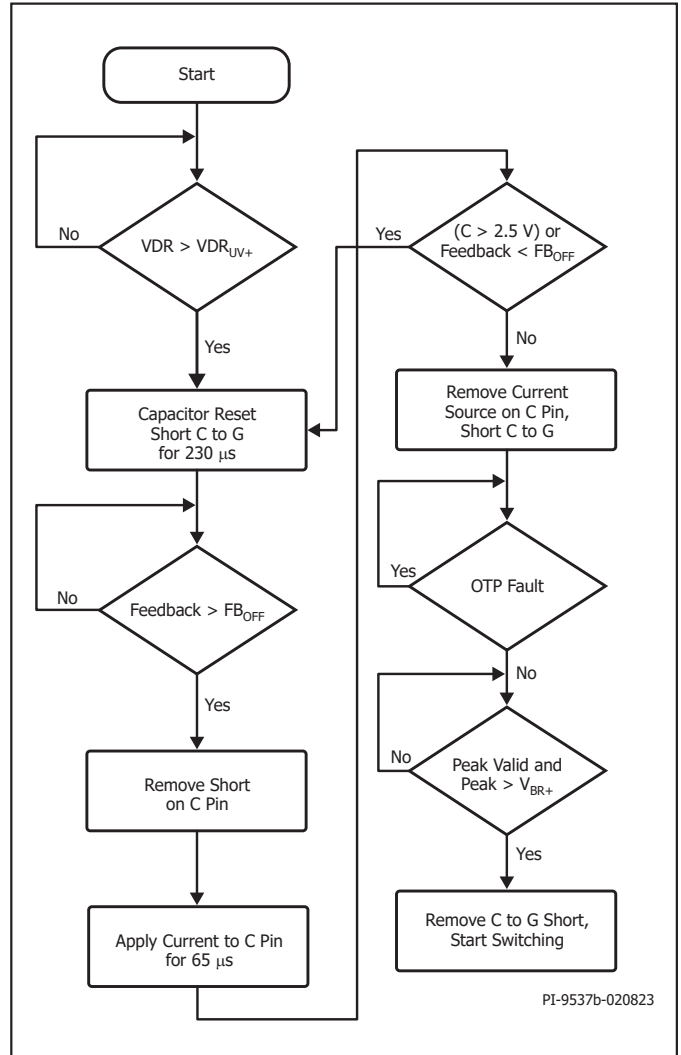


Figure 7. Start-Up Flow Chart.

타이밍 감시기 및 동작 주파수 범위

컨트롤러는 일반적으로 22~145kHz 범위에서 라인 주파수 하프사이클 동안 가변 스위칭 주파수로 작동합니다. 컨트롤러에는 최대 스위치 온타임 및 오프타임을 모니터링하고 제한하고 최소 사이클 온타임을 보장하는

타이밍 감시기 기능도 있습니다. 그림 8은 최대 부하에서 입력 전압에 따른 디바이스 스위칭 주파수의 일반적인 하프라인 주파수 프로파일을 보여줍니다.

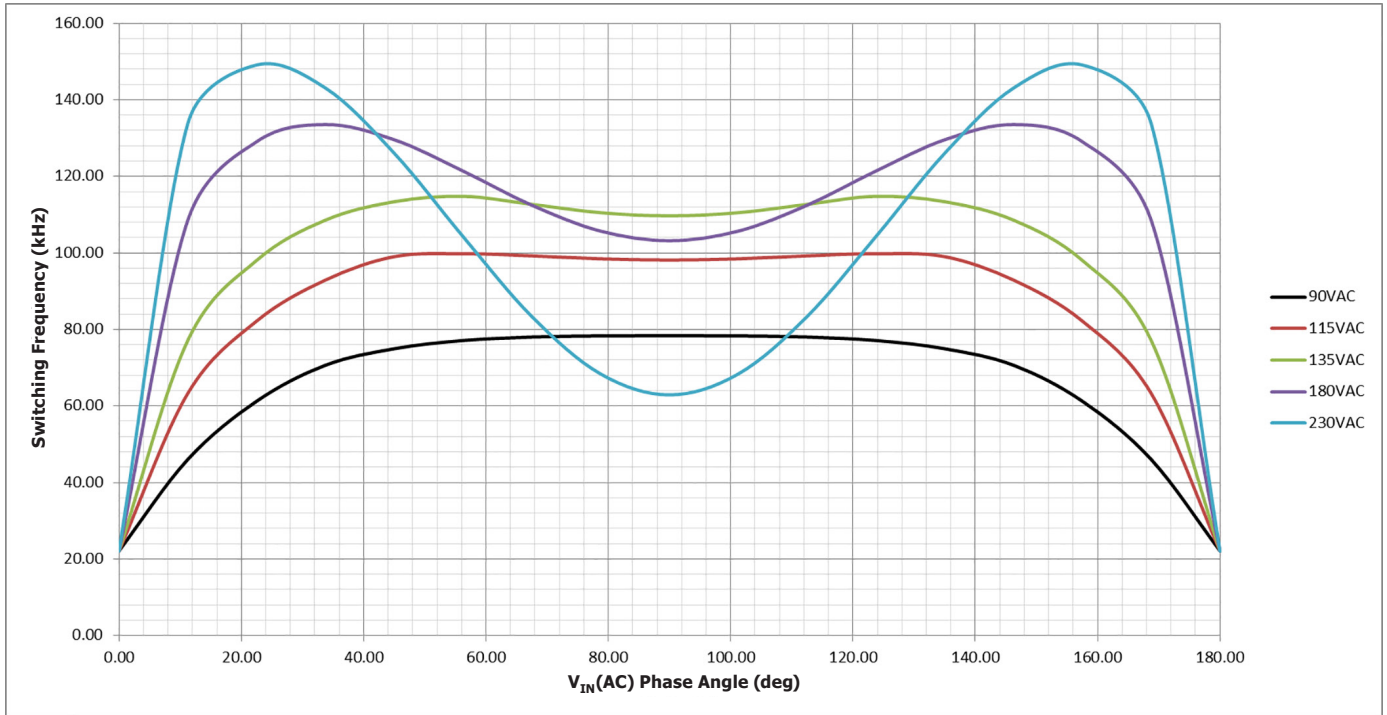


Figure 8. Frequency Variation Over Line Half-Cycle as a Function of Input Voltage.

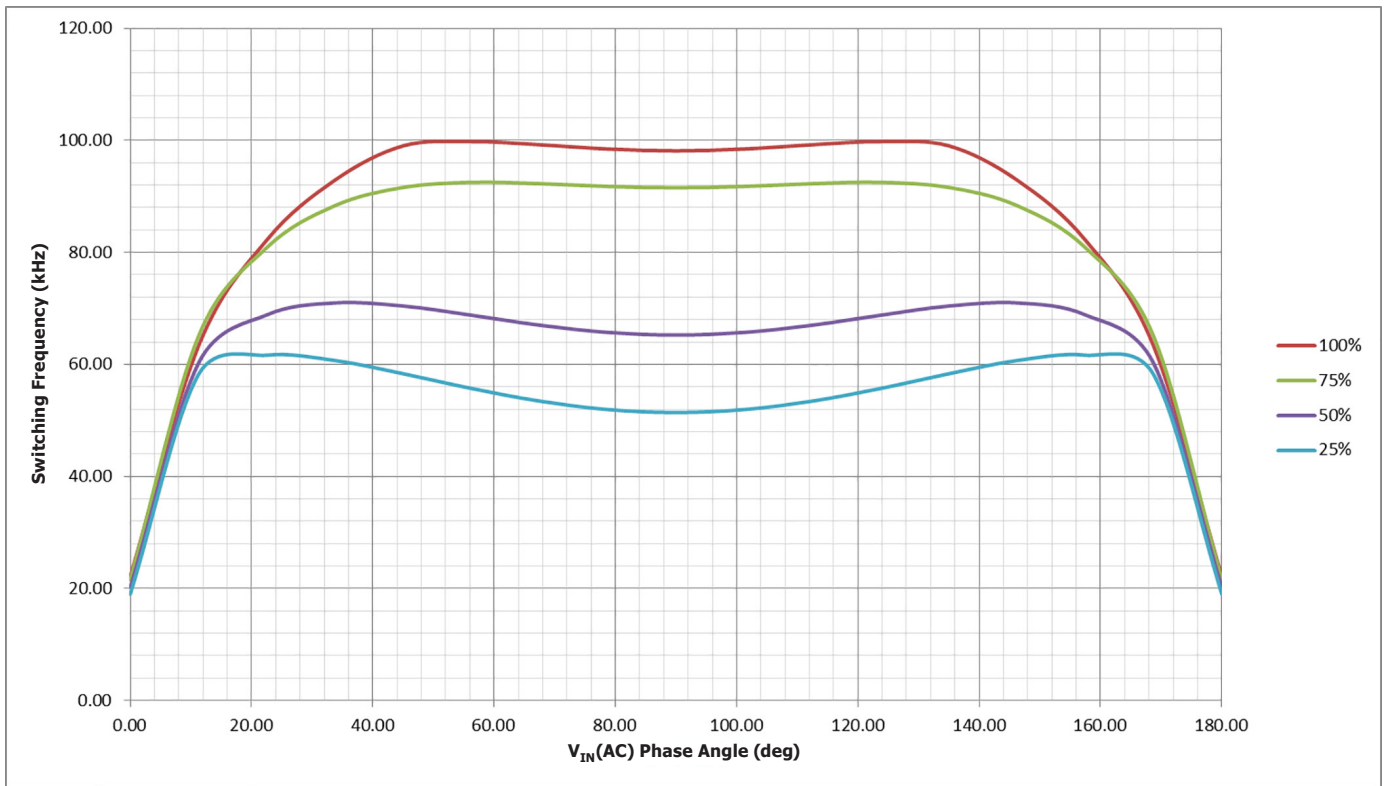


Figure 9. Frequency Variation Over Line Half-Cycle as a Function of load (V_{IN} = 115 VAC).

EcoSmart(주파수 슬라이딩 및 스프레드 스펙트럼 스위칭)

HiperPFS-5 IC에는 EcoSmart 기능이 포함되어 있으며, 이 기능을 사용하면 내부 에러 신호(V_{ERR})를 사용하여 컨버터 출력 전력을 감지할 수 있습니다. 이는 출력 전력에 따라 평균 스위칭 주파수를 설정하는 데 사용됩니다.

아래 그림 10에서처럼 오프타임 적분기 컨트롤 레퍼런스(V_{OFF})는 내부 에러 전압 레벨(출력 전력)에 따라 설정되므로 컨버터가 출력 전압

레귤레이션을 유지하고 정격 부하의 20%~100%로 일정한 변환 효율을 유지할 수 있습니다. 이는 여러 효율 지칭을 충족하는 데 필수적입니다. 주파수 슬라이딩의 정도 역시 입력 라인 전압에 따라 제어됩니다. 입력 전압에 따라 V_{OFF} 슬로프가 낮아지면 높은 입력 라인 동작을 위한 평균 주파수 범위가 줄어듭니다. 이 접근 방식을 사용하면 HiperPFS-5 IC는 더 작은 PFC 인덕터를 사용할 수 있고, 라인 및 부하에서 스위칭 주파수를 150kHz 미만으로 유지하여 EMI 부품의 부담을 최소화할 수 있습니다.

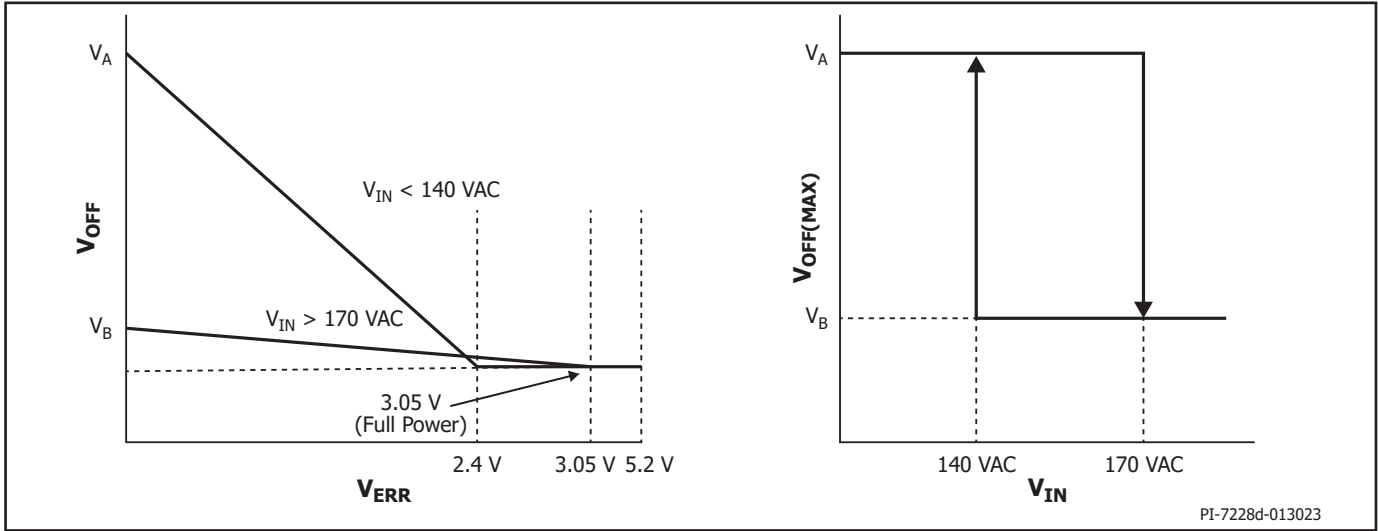


Figure 10. EcoSmart Frequency Sliding V_{OFF} vs. V_{ERR} and $V_{OFF(MAX)}$ vs. Input Voltage.

PFS517xF의 Power Good 신호

HiperPFS-5는 FEEDBACK 핀에서 센싱된 출력 전압이 출력 전압 기준점(Threshold)의 ~95%(V_{PG+})까지 상승하면 스타트업 시 오픈 드레인 스위치를 켜는 내부 비교기로 구성된 PG(Power Good) 회로가 특징입니다. 스타트업 시 출력 전압이 V_{PG+} 에 도달하기 전에 PG 신호는 하이 임피던스 상태가 됩니다(내부 스위치는 OFF 상태).

FEEDBACK 핀에서 센싱된 출력 전압이 POWER GOOD THRESHOLD(PGT) 핀의 저항을 통해 프로그래밍된 사용자 선택 기준점(Threshold)으로 떨어지면 PG(Power Good) 신호가 ON에서 OFF 상태로 전환됩니다. POWER GOOD THRESHOLD 핀은 고정 전류 $I_{PG(T)}$ 를 공급합니다. PG(Power Good) 기준점(Threshold) 저항과 결합된 이 전류는 PFC 출력이 레귤레이션 범위를 벗어날 때 PG(Power Good) 신호가 ON 상태에서 하이 임피던스 OFF 상태로 전환되는 경우의 기준점(Threshold)을 설정합니다.

PG(Power Good) 비교기에는 내부 81μs 디글리치 필터(t_{PGD})가 있어 노이즈 이벤트가 프로그래밍된 VPG- 기준점(Threshold)을 잘못 트리거하지 않도록 방지합니다.

부하로 인한 고장 때문에 부스트가 레귤레이션(설정된 출력 전압 기준점(Threshold)의 ~95% 이상)을 달성하지 못하는 경우 PG 기능은 하이 임피던스 상태로 남아 있으므로 출력 전압이 사용자가 프로그래밍한 V_{PG-} 기준점(Threshold) 아래로 떨어진 경우를 나타내지 않습니다. V_{PG+} 기준점(Threshold)에 도달하면 사용자가 프로그래밍한 V_{PG-} 기준점(Threshold)이 활성화됩니다.

POWER GOOD THRESHOLD 프로그래밍 핀이 REFERENCE 핀에 연결되어 있으면, PG(Power Good) 기능이 비활성화되고 PG는 하이 임피던스(OFF) 상태로 남아 있습니다. 이는 PG가 사용 중이지 않은 경우 기본 구성입니다. POWER GOOD THRESHOLD 핀이 SIGNAL GROUND 핀으로 단락되면 PG 신호가 V_{PG+} 에서 ON 상태로 전환되고 PFC 출력 전압이 $t_{FB(UV)}$ 초보다 오랫동안 $V_{FB(UV)}$ 기준점(Threshold) 아래로 떨어질 때까지 로우(ON) 상태로 남아 있습니다.

위에서 설명한 조건을 비활성화하는 것과 마찬가지로 PGT 저항의 값이 V_{PG-} 기준값이 V_{PG+} 기준값보다 크도록 하는 값인 경우 PG 신호는 래칭 OFF되고 임피던스가 높은 OFF 상태로 남아 있습니다.

PG(Power Good) 기능은 다음과 같은 조건에서는 작동하지 않습니다.

- A. VCC 또는 VDR이 유효한 동작 범위에 없는 경우. UVLO- 보다 낮은 VCC 또는 $V_{VDR(UV)}$ 보다 낮은 VDR의 경우 하이 임피던스 상태일 때 POWER GOOD 핀에서 PG(Power Good) 기능이 유효하지 않습니다.
- B. 과열 고장으로 인해 소프트 셋다운이 시작되면 POWER GOOD 핀은 하이 임피던스 상태가 되어 OT 고장을 2차측 회로에 조기에 알려 줍니다.

- C. PGT가 225V~360V의 유효한 프로그래밍 범위를 벗어난 경우. PGT 플로우팅을 비롯하여 이 범위를 벗어나는 PGT 전압은 PG가 활성 풀다운으로 변환되지 않도록 방지합니다. 이 범위 미만인 PGT 전압은 출력 저전압($V_{FB(UV)}$) 기준점(Threshold)에서 PG 비활성화를 초래합니다.
- D. 스타트업 순서 검사에 통과하여 컨버터가 스타트업 상태가 되면 PGT가 열리고 컨트롤러가 리셋될 때까지 PG 신호가 하이 임피던스에 래치된 상태로 남아 있습니다.

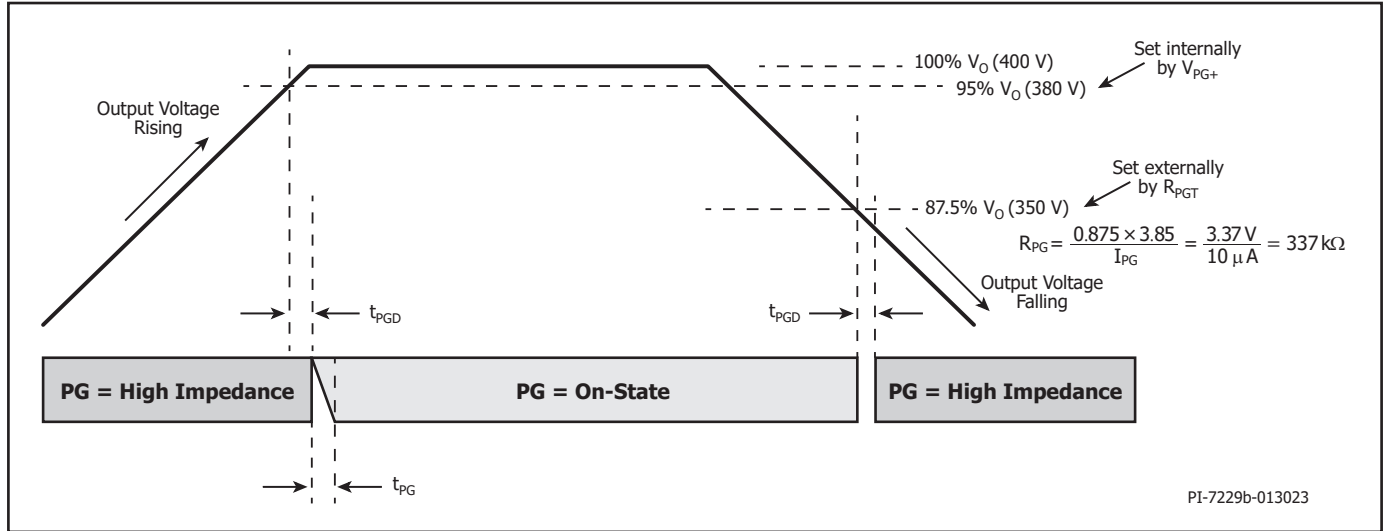


Figure 11. Power Good Function Description.

PFS527xF의 부스트 팔로워

HiperPFS-5 IC는 입력 전압에 따라 출력 전압을 제어하는 부스트 팔로워(BF) 회로를 갖추고 있습니다. 이 기능은 목표 출력 전압을 줄여 로우라인에서 효율을 개선합니다. 입력 피크 전압이 로우라인을 나타낼 때 PG/BF 핀은 하이 임피던스 상태에 있습니다(내부 스위치는 OFF 상태). 입력 피크 전압이 하이라인으로 센싱되면 PG/BF 핀이 턴온됩니다(로우 임피던스 상태)(내부 스위치가 접지로 전환됨). 로우라인과 하이라인 히스테리시스는 140VAC와 170VAC로 설정되어 있습니다.

그림 13에서 볼 수 있듯이 하이라인 입력에서 출력 전압은 다음과 같습니다.

$$V_O = V_{FB} \times \left(\frac{R_{UPP} + R_{BF} // R_{DWN}}{R_{BF} // R_{DWN}} \right)$$

로우라인 입력에서 출력 전압은 다음과 같습니다.

$$V_O = V_{FB} \times \left(\frac{R_{UPP} + R_{DWN}}{R_{DWN}} \right)$$

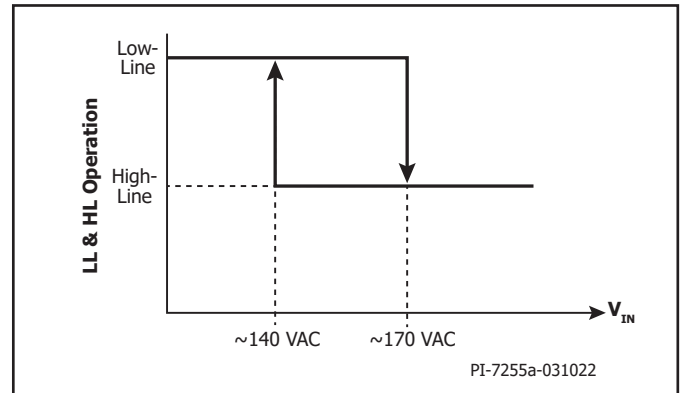


Figure 12. Boost Follower Low-Line and High-Line operation vs. Input Voltage.

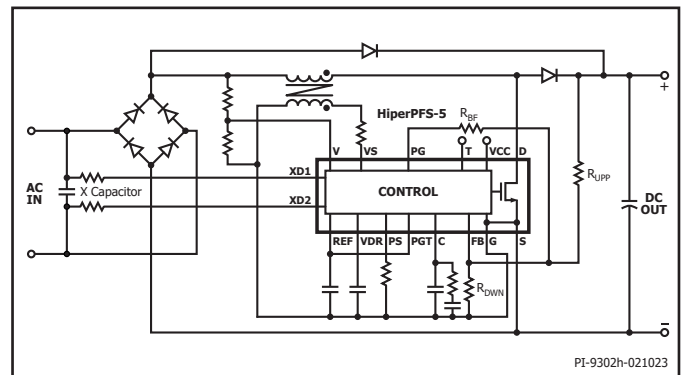


Figure 13. System Schematic with a Line Dependent V_{OUT} (Boost Follower).

선택 가능한 출력 제한

PS(Power Selection) 핀은 HiperPFS-5의 출력 전력을 프로그래밍하는 데 사용됩니다. 전력은 G 핀에 연결된 저항을 사용하여 공칭 출력 전력의 70%~100% 사이에서 10% 단위로 프로그래밍됩니다.

보조 권선의 권선비

VS 핀은 저항을 통해 PFC 인덕터의 보조 권선에 연결되어 밸리 스위칭을 감지합니다. 이 저항은 주어진 애플리케이션에 맞게 지연을 적절히 조정하여 DRAIN 핀의 전압 밸리에서 PowiGaN의 턴온을 발생시킬 수 있습니다. 지연은 이 저항의 저항과 VS 핀의 유효 커패시턴스에 따라 달라집니다. 저항이 VS 핀에 가까우면 VS 핀의 유효 커패시턴스가 더 작고 지연이 더 짧습니다. 반대로 저항이 VS 핀에서 멀리 떨어져 있으면 VS

핀의 유효 커패시턴스가 더 크고 지연이 더 길습니다. 저항에 대한 초기 설계 권장 값은 10kΩ이며, 이 저항은 VS 핀에 가깝게 배치합니다.

보조 권선의 최대 권선비(N_{MAX})는 $N_{MAX} = (V_{OMIN} - V_{ACPEAK}) / V_{VS1}$ 로 계산합니다. 여기서 V_{OMIN} 은 리플 허용 오차를 고려한 최소 출력 전압입니다. $V_o = 400V$ 이고 허용 오차를 3%로 가정하면 V_{OMIN} 은 388V입니다. V_{ACPEAK} 는 최대 하이라인 입력의 피크 전압입니다. 유니버설 AC 입력의 경우 $V_{ACPEAK} = \sqrt{2} \times 265 \approx 375V$ 입니다. V_{VS1} 은 일반적인 값 0.88V의 밸리 센싱 플러스 기준점(Threshold)입니다. 위의 방정식에서 최대 권선비(N_{MAX})를 약 15로 계산할 수 있습니다. 보조 권선에 권장되는 권선비는 10~15입니다.

| Resistor (Ohms) | Power Selection | Comments |
|-----------------|-----------------|--|
| >400 k | 100% | Leaving pin open is acceptable |
| 100 k – 200 k | 90% | |
| 25 k – 50 k | 80% | |
| <6 k | 70% | Connecting pin short to G node is acceptable |

Table 2. Power Programming Resistances (Resistor Between PS Pin and G Pin).

보호 모드

브라운인 보호

VOLTAGE MONITOR 핀에는 입력 라인 저전압 감지 기능이 있어 최소 스타트업 전압을 제한합니다. 이러한 감지 기준점(Threshold)은 디바이스가 브라운인 지점보다 낮은 입력 전압과 400V_{PK}의 입력 피크 전압보다 높은 전압에서 시작되지 않도록 억제합니다.

브라운아웃 보호

VOLTAGE MONITOR 핀에는 브라운아웃 보호 모드가 있습니다. $t_{BROWN-OUT}$ (브라운아웃 디바운스 시간)을 초과하는 기간 동안 VOLTAGE MONITOR 핀 전압이 라인 저전압 기준점(VBR-) 미만인 경우 HiperPFS-5는 이 모드에서 턴오프됩니다. 단일 하프라인 사이클이 누락되어 있는 경우(정상 동작 라인 주파수 범위는 47Hz~63Hz) 브라운아웃 보호 기능이 활성화되지 않습니다.

브라운아웃이 트리거되면 HiperPFS-5 IC의 소프트 셋다운이 1ms의 기간 동안 내부 여러 전압을 점진적으로 0V로 줄여 파워 PowiGaN 온타임을 0으로 만듭니다. 이 소프트 셋다운 개시는 다음 라인 사이클 제로 크로싱에 맞춰 조정되어 리액티브 부품 di/dt 과도를 최소화하고 부스트 초크 내에 저장된 에너지에 대한 시간과 입력 EMI 필터를 소산시킬 수 있습니다. 따라서 브리지 정류기 다음에 나타나는 전압 과도를 최소화하고 잘못된 리스타트를 방지할 수 있습니다.

이 디바이스는 라인 전압이 브라운인 임계값을 초과하는지 확인하기 전에 (VOLTAGE MONITOR 핀 전압이 V_{BR+} 초과) FMEA 핀 고장 검사, 기타 스타트업 적격 인증이 포함된 오토-리스타트에 진입합니다.

브라운인 이벤트 후 $t_{STARTUP}$ 타이머가 만료되면 라인 전압 브라운아웃 기준점(Threshold)이 $V_{BR(NTC)}$ 로 줄어들고 브라운아웃 타이머가 $t_{BROWN-OUT(NTC)}$ 로 확장되어 입력 라인과 직렬로 연결된 돌입 제한 NTC(마이너스 온도 계수) 써미스터의 전압 강하로 인해 발생하는 라인 전압 강하를 허용합니다.

센싱된 라인 전압이 $V_{BR(NTC)}$ 기준점(Threshold) 미만으로 떨어져 $t_{BROWN-OUT(NTC)}$ 디바운스 타이머가 트리거되지만, 라인 전압이 $t_{BROWN-OUT(NTC)}$ 가 만료되기

전에 $V_{BR(NTC)}$ 기준점(Threshold)보다 높게 복구되면 $t_{STARTUP}$ 타이머가 리스타트됩니다. $t_{BROWN-OUT(NTC)}$ 디바운스 타이머가 만료되기 전에 $V_{BR(NTC)}$ 기준점(Threshold)보다 높게 복구되지 않으면 셋다운이 발생합니다.

$t_{STARTUP}$ 타이머가 만료된 후 VOLTAGE MONITOR 핀 전압이 V_{BR-NTC} 이상으로 상승하면 브라운아웃 디바운스 타이머가 정상 기간($t_{BRWN-OUT}$)으로 전환되고 브라운아웃 기준점(Threshold)이 V_{BR} 로 전환됩니다. 이후에 이어지는 $t_{BRWN-OUT}$ 타이머가 만료된 후에도 VOLTAGE MONITOR 핀 전압이 V_{BR} 보다 높지 않으면 브라운아웃 셋다운이 발생합니다.

HiperPFS-5 IC는 입력 파형 판별 기능을 통합하여 라인 신호 피크 대 평균 전압 비율이 사인파 또는 높은 듀티 사이클 구형파를 나타내는지 판별합니다. 높은 듀티 사이클(UPS) 구형파가 감지되면 브라운아웃 기준점(Threshold)이 $V_{BR(SQ)}$ 로 줄어듭니다.

PFS527x 부품의 VCC 저전압 보호(UVLO)

BIAS POWER(VCC) 핀에는 적용된 VCC 전압이 VCC_{UVLO+} 기준값을 초과하면 IC가 시작되지 않도록 억제하는 저전압 록아웃 보호 기능이 들어 있습니다.

BIAS POWER 핀 전압이 VCC_{UVLO+} 기준값을 초과하면 IC가 스타트업을 시작합니다. 스타트업 후 IC는 BIAS POWER 핀 전압이 VCC_{UVLO} 레벨 아래로 떨어질 때까지 계속해서 작동합니다.

PFS517x 부품은 UVLO 보호를 위해 VDR을 사용합니다.

라인 종속적인 OCP(과전류 보호)

디바이스에는 고장 시 디바이스를 보호하는 사이클 단위 과전류 보호 메커니즘이 포함되어 있습니다. OCP 회로는 내부 파워 스위치를 보호합니다. 이는 컨버터를 출력 단락 또는 과부하 고장 조건으로부터 보호하려는 것입니다.

OCP 한도는 입력 라인 전압에 따라 설정됩니다. 이는 단락으로 인한 전력 한도를 제한하는 데 도움이 되며, 높은 입력 라인 조건에서 전류 과부하로 인해 스위치에 가해지는 스트레스를 최소화하는 데도 도움이 됩니다.

아래의 그림 14에서는 VOLTAGE MONITOR 핀 라인 센싱에 따른 OCP 레벨에 대한 히스테리시스(Hysteresis) 조절을 보여줍니다.

입력 라인 전압의 피크가 연속 3회 하프사이클 동안 140VAC 아래로 떨어지면 로우라인 OCP(두 설정 중 더 큰 것)가 선택되고 입력 라인 전압이 1회 하프사이클 동안 170VAC 위로 올라가면 하이라인 OCP 레벨(두 설정 중 더 작은 것)이 선택됩니다(다음 섹션에서 설명하는 팔로어 모드에서는 예외).

HiperPFS-5 IC는 VOLTAGE MONITOR 핀 전압이 하이라인 기준값 $V_{V(HIGH+)}$ 를 초과했음을 감지한 후 하이 입력 라인 OCP를 구현합니다. 컨트롤러는 로우라인 기준값 $V_{V(HIGH-)}$ 보다 낮은 하프라인 사이클 피크 값이 3회 연속 발생한 후에만 로우라인 OCP(및 로우라인 주파수 슬라이드)로 되돌아갑니다. 라인 강하 시, 강하가 37ms(공칭)를 초과하면 컨트롤러가 하이라인 설정점에서 로우라인 설정점으로 되돌아갈 수 있습니다.

피드포워드 기능은 입력 전압이 V_{HIGH+} 를 초과하자마자 컨트롤러를 하이라인 상태로 빠르게 업데이트합니다. 이 기능에는 피크 감지기가 낮은 입력 라인 상태를 처음에 감지할 수 있는 긴 AC 라인 강하 후 하이 라인 하드 스타트 상태를 위한 특별한 이점이 있습니다.

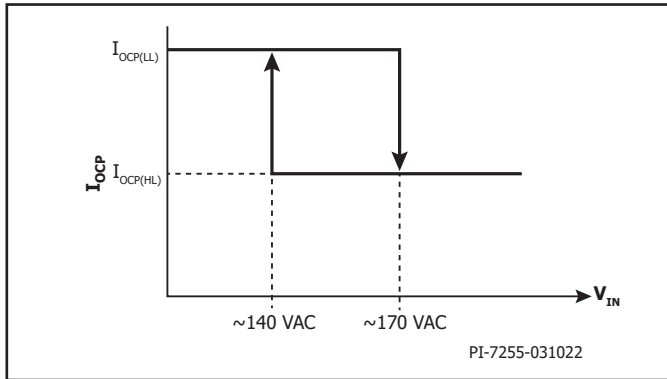


Figure 14. Line Dependent OCP.

SOA(안전 작동) 모드

위에서 설명한 사이클별 OCP 메커니즘은 '계단식' 인덕터 전류의 발생 가능성을 방지하지 않기 때문에 SOA 모드 역시 갖추고 있습니다.

인덕터 포화 시 또는 입력 및 출력 전압 차이가 작아 인덕터 리셋 시간이 너무 짧은 경우 스위치 전류가 급격히 증가할 수 있습니다.

스위치 전류가 전류 제한(I_{OCP})에 도달하고 온타임이 $t_{ON(SOA)}$ 미만일 때마다 SOA 모드가 실행됩니다. SOA 모드는 스위치가 SOA 내에서 유지되도록 오프타임을 $t_{OFF(SOA)}$ 와 동일하게 강제로 설정하고 내부 에러 전압(V_{ERR})을 최대값의 1/2까지 끌어내립니다.

고속 출력 전압 과전압 보호

HiperPFS-5에는 FEEDBACK 핀에 전압 피드백 기준값 비교기가 있습니다. 이 비교기는 빠른 대응이 가능하도록 출력 과전압 상태를 감지하여 (COMPENSATION 핀 응답에 상관 없이) 위험한 전압 상태가 발생하지 않도록 방지합니다. 과전압 보호는 히스테리시스(Hysteresis)입니다. 즉, FEEDBACK 핀의 전압은 스위칭이 리스타트되기 전 0.1V씩(10V의 출력 전압 강하와 동일) 강하되어야 합니다.

FEEDBACK-COMPENSATION 핀 단락 감지 보호

PFC 컨트롤러는 계속해서 FEEDBACK 및 COMPENSATION 핀을 모니터링하여 인접한 FEEDBACK 및 COMPENSATION 핀 사이에 출력 과전압 조건을 초래할 수 있는 잠재적인 단락 조건이 없는지 확인합니다. 잠재적인 단락이 감지되는 경우 신속한 단락 검사가 수행되어 의심되는 단락이 확인된 경우 첫다운이 실행됩니다.

오픈 FEEDBACK 핀 보호

FEEDBACK 핀은 계속해서 I_{FBPD} ($[VCC > VCC_{UVLO+}]$)의 정적 전류를 싱크하여 오픈 FEEDBACK 핀 또는 잘못된 피드백 분배기 네트워크와 관련된 고장으로부터 보호합니다. 내부 전류 싱크는 출력 레귤레이션에 작은 정적 오프셋을 적용하는데, 이는 출력 피드백 레귤레이션 부품 (FEEDBACK 핀 분배기)을 선택하는데 고려할 수 있습니다.

히스테리시스(Hysteresis) 씨멀 보호

씨멀 첫다운 회로는 컨트롤러 칩 온도를 센싱하며, 이 칩은 노출된 소스 패드와 PCB 구리 냉각 평면을 통해 파워 스위치에 잘 커플링되어 있습니다. OTP(과열 보호) 기준점(Threshold)은 일반적으로 130°C로 설정되며 히스테리시스는 49°C입니다.

컨트롤러 칩 온도가 이 기준점(Threshold)(OTP)을 초과하여 상승하면 컨트롤러는 소프트 첫다운을 시작하고 컨트롤러 칩 온도가 ~49°C까지 떨어질 때까지 비활성화 상태로 유지되며, 이 시점에 디바이스는 스타트업 절차를 다시 시작합니다.

X 커패시터 방전의 안전성

X 커패시터 방전 기능은 XD1을 외부 직렬 저항을 통해 한 AC 라인 입력에 연결하고 XD2를 별도의 외부 저항을 통해 다른 AC 입력 라인 입력에 연결하여 구현할 수 있습니다.

X 커패시터 방전 기능은 연결이 시스템 입력 퓨즈 앞에 위치하더라도 안전 요구 사항을 충족합니다. XD1과 XD2 단자 사이에 단락을 발생시키면, 해당 시스템은 X 커패시터 방전 기능이 사용되지 않는 기존 시스템과 동일합니다.

오픈 회로 테스트와 관련하여, XD1과 XD2 모두에 연결된 2개의 핀이 있기 때문에 단일 핀 고장(예: 핀 제거 테스트)만으로는 고장 조건을 만들 수

없습니다. 오픈 회로를 만들기 위해서 여러 개의 핀을 제거하는 경우 해당 조건은 X 커패시터 방전 저항이 오픈 회로가 되어 X 커패시터 방전 기능이 비활성화되는 기존 시스템과 동일한 조건이 됩니다.

| Total X Capacitance | Total Series Resistance |
|---------------------|-------------------------|
| 100 nF to 6 μF | 7.5 MΩ to 142 kΩ |

Table 3. X Capacitance and Discharge Resistance.

| Test | Test With Existing System | CAPZero Equivalent | Comments |
|--|---------------------------|------------------------|---|
| <p>Open Circuit: Disconnect one pin of any device to see effect on system</p> | <p>PI-5907-041310</p> | <p>PI-6604b-020823</p> | <p>Open Circuit: Lifting any one pin of XD1 and XD2 pins has no effect as 2 pins are connected to each drain terminal. The only way to create an open circuit is by lifting the leads of one of the discharge resistors. This is equivalent to an existing system without the active capacitor discharge function.</p> |
| <p>Short-Circuit: Short any two adjacent pins to see effect on system</p> | <p>PI-5908-041310</p> | <p>PI-6605b-020823</p> | <p>Short-Circuit: Shorting XD1 and XD2 pins creates a condition equivalent to an existing system not using an active X capacitor discharge function.</p> |

Table 4. Single Point of Failure (SPOF) Tests as Pertaining to Failure Modes of the X Capacitor Discharge. HiperPFS-5 Device Passes Both Tests.

최대 정격 절대값^{1,2}

| | |
|--|-------------------------|
| DRAIN 핀 전압(비반복 펄스) | -0.3V~750V ⁶ |
| DRAIN 핀 전압(계속) | -0.3V~650V ³ |
| DRAIN 핀 피크 전류: PFS5x73F | 6.5A ⁸ |
| PFS5x74F | 10.0A ⁸ |
| PFS5x75F | 14.0A ⁸ |
| PFS5x76F | 17.0A ⁸ |
| PFS5x77F | 24.0A ⁸ |
| PFS5x78F | 33.0A ⁸ |
| VCC 핀 | -0.3V~35V |
| V _S , V, FB, PG, PGT, PS, REF, VDR, C 핀 | -0.3V~5.6V |
| XD1/XD2 핀 전압 ⁷ | 1000V |
| XD1/XD2 핀 전류 ⁸ | 5mA |
| 보관 온도 | -65~150°C |
| 동작 정션 온도 ⁴ | -40~150°C |
| 주변 온도 | -40~105°C |
| 리드 온도 ⁵ | 260°C |

참고:

- 모든 전압은 SOURCE를 기준으로 합니다. T_A = 25°C
- 지정된 최대 정격은 제품에 영구적인 손상을 초래하지 않는 한도 내에서 일회적으로 측정된 결과입니다. 지정된 시간보다 오랫동안 최대 정격 절대값 조건에 노출하면 제품 신뢰성에 영향을 미칠 수 있습니다.
- 자체 공급이 활성화되지 않음.
- 일반적으로 내부 회로에 의해 제한됩니다.
- 케이스에서 1/16인치 거리를 두고 5초 동안 측정합니다.
- 비반복 펄스.
- 임의의 극에서 XD2 핀에 대응하는 XD1 핀의 전압입니다.
- XD1/XD2 전압이 동시에 400V 미만으로 떨어지면 피크 전류가 허용됩니다.

열 저항

| | |
|--------------------------|---|
| 써멀 저항: PFS5x73F | |
| (θ _{JA}) | 61°C/W ¹ , 53°C/W ² |
| (θ _{JC}) | 7°C/W ³ |
| PFS5x78F | |
| (θ _{JA}) | 51°C/W ¹ , 43°C/W ² |
| (θ _{JC}) | 1.1°C/W ³ |

참고:

- (232mm²(0.36평방인치) 2온스(610g/m²) 동판에 납땜.
- 645mm²(1평방인치) 2온스(610g/m²) 동판에 납땜.
- 케이스 온도는 노출 패드의 패키지 바디 하단에서 측정.

| Parameter | Symbol | Conditions SOURCE = 0 V, T _J = -40 to +125 °C (See Note C) | Pin | Min | Typ | Max | Units |
|---|------------------------|--|------------------|-----|------|-----|-------|
| Currents | | | | | | | |
| Current Consumption – In Burst Mode No Switching | I _{CC(BURST)} | VCC = 12 V, V _{FB} = 3.85 V, C < V _{ERR(MIN)} 0 °C < T _J < 100 °C V = 1.414 V | VCC | | 700 | 850 | μA |
| Leakage Current in UVLO State | I _{OZ} | 0 V < Pin Voltage < REF T _J = 25 °C V _{DR} < V _{DR(UV+)} | V, FB, C, PGT | | ±10 | | nA |
| | | V _{PG} = REF T _J = 25 °C V _{PG} = V | PG | | ±0.1 | | μA |
| Pull-Down Current on Feedback | I _{FB(PD)} | 0 °C < T _J < 100 °C V _{FB} = 5 V | FB | | 100 | 150 | nA |

| Parameter | Symbol | Conditions | | | Min | Typ | Max | Units |
|---|-------------------------|--|---------------------------|--|------|------|------|-------|
| | | SOURCE = 0 V, V _{CC} = 12 V, T _J = -40 to +125 °C (See Note C) | | | | | | |
| Control Functions | | | | | | | | |
| Maximum Operating "On-Time" Controller | t _{ON(MAX)} | | | | 34 | | | μs |
| Maximum Operating "Off-Time" Controller | t _{OFF(MAX)} | No valleys detected on the VS pin (operation in CCM mode) | | | | 250 | 300 | μs |
| Feedback | | | | | | | | |
| Internal Feedback Error Voltage Reference | V _{FB(REF)} | T _J = 25 °C | | | 3.82 | 3.85 | 3.88 | V |
| Feedback Error-Amplifier Transconductance Gain | G _m | 3.75 V < V _{FB} < 3.95 V 0 °C < T _J < 100 °C C = 4 V | | | 75 | 90 | | μA/V |
| Soft Shutdown Time | t _{SHUTDOWN} | See Note A | | | | 1.00 | | ms |
| FEEDBACK Pin Start-Up/ Fault Threshold | V _{FB(OFF)} | 0 °C < T _J < 100 °C | | | | 0.64 | 0.71 | V |
| FEEDBACK Pin Undervoltage Assertion Threshold | V _{FB(UV)} | 0 °C < T _J < 100 °C | | | 2.09 | 2.25 | 2.36 | V |
| FEEDBACK Pin Overvoltage Assertion Threshold | V _{FB(OV+)} | 0 °C < T _J < 100 °C | | | 4.00 | 4.10 | | V |
| FEEDBACK Pin Overvoltage Deassertion Threshold | V _{FB(OV-)} | 0 °C < T _J < 100 °C | | | | 4.00 | 4.10 | V |
| FEEDBACK Pin Overvoltage Hysteresis | V _{FB(OVHYST)} | 0 °C < T _J < 100 °C | | | | 0.1 | | V |
| Voltage on C Pin That Triggers Switching During a Burst-Mode Recovery, or When Commencing Soft-Start (COMPENSATION Pin Burst Disable Threshold) | V _{ERR(MIN+)} | 0 °C < T _J < 100 °C | V _{IN} < 140 VAC | | 0.39 | | | V |
| | | | V _{IN} > 170 VAC | | 0.19 | | | |
| Voltage on C Pin That Suppresses Switching, Causing the Device to Enter Burst-Mode (Burst Enable Threshold) | V _{ERR(MIN-)} | 0 °C < T _J ≤ 100 °C | V _{IN} < 140 VAC | | 0.34 | | | V |
| | | | V _{IN} > 170 VAC | | 0.13 | | | |
| Hysteresis of V _{ERR(MIN)} (COMPENSATION Pin Burst Threshold Hysteresis) | V _{ERR(HYST)} | V _{ERR(MIN+)} - V _{ERR(MIN-)} 0 °C < T _J < 100 °C | V _{IN} < 140 VAC | | 0.05 | | | V |
| | | | V _{IN} > 170 VAC | | 0.06 | | | |

| Parameter | Symbol | Conditions | | | Min | Typ | Max | Units |
|---|-----------------------------|--|--|--|------|-------|------|-------|
| | | SOURCE = 0 V, V _{CC} = 12 V, T _J = -40 to +125 °C (See Note C) | | | | | | |
| Line Sense / Peak Detector | | | | | | | | |
| Line Sense and Peak Detector Input Voltage (Line-Sense Input Voltage Range) | V _{V(RANGE)} | The voltage on V may exceed the upper specification, however the line sense function is saturated at its full scale. Not tested. | | | | | 4 | V |
| Brown-In Threshold Voltage | V _{BR+} | 0 °C < T _J < 100 °C | | | | 1.102 | | V |
| Brown-Out Threshold Voltage | V _{BR-} | 0 °C < T _J < 100 °C | | | 0.86 | 0.895 | 1.12 | V |
| Brown-Out Threshold for Square Wave (Brown-Out Threshold for High Duty Cycle Square Wave) | V _{BR(SQ)} | 0 °C < T _J < 100 °C See Note A | | | | 0.86 | | V |
| Soft-Start Brown-Out Threshold Voltage (Start-Up Brown-Out Threshold Voltage (During NTC Warm-Up Time)) | V _{BR(NTC)} | 0 °C < T _J < 100 °C See Note A | | | | 0.74 | | V |
| Brown-In/Out Hysteresis (V_{BR+} - V_{BR-}) (Brown-In / Out Hysteresis (After NTC Warm-Up Time)) | V _{BR(HYST)} | 0 °C < T _J < 100 °C | | | 190 | 207 | 220 | mV |
| Brown-Out Debounce Timer | t _{BROWN-OUT} | See Note A | | | | 54 | | ms |
| Brown-Out Debounce Timer During Start-Up with VBR_NTC Threshold | t _{BROWN-OUT(NTC)} | Triggered during startup (while t _{STARTUP} is active) if the peak of the V pin is lower than V _{BR-NTC} . See Note A | | | | 1000 | | ms |
| Start-Up Timer for Using Lower Brown-Out Threshold (V_{BR-NTC}) | t _{START-UP} | The timer is triggered when switching starts. The timer aborts when a peak < V _{BR-NTC} . The timer restarts at zero when a peak > V _{BR-NTC} . When timer expires, the higher brown-out threshold V _{BR-} is applied. See Note A | | | | 1000 | | ms |
| VOLTAGE MONITOR Pin High-Line Threshold | V _{V(HIGH+)} | (170 VAC) See Note A | | | | 2.42 | | V |
| VOLTAGE MONITOR Pin High-Line Deassertion Threshold | V _{V(HIGH-)} | (140 VAC) See Note A | | | | 2.00 | | V |

| Parameter | Symbol | Conditions | | | Min | Typ | Max | Units | |
|--|--|--|--|-------------------------|-----|-----|-----|-------|---|
| | | SOURCE = 0 V, V _{CC} = 12 V, T _J = -40 to +125 °C (See Note C) | | | | | | | |
| Current Limit / Circuit Protection | | | | | | | | | |
| Over-Current Protection Limit¹ | I _{OCP} T _J = 25 °C | Full Power | | | | | | | A |
| | | di/dt = 293 mA/μs | PFS5x73F | V _v < 2 V | 2.8 | 3.1 | 3.3 | | |
| | | | | V _v > 2.42 V | | 2.1 | | | |
| | | di/dt = 437 mA/μs | PFS5x74F | V _v < 2 V | 4.5 | 4.8 | 5.1 | | |
| | | | | V _v > 2.42 V | | 3.3 | | | |
| | | di/dt = 494 mA/μs | PFS5x75F | V _v < 2 V | 5.0 | 5.3 | 5.6 | | |
| | | | | V _v > 2.42 V | | 3.6 | | | |
| | | di/dt = 627 mA/μs | PFS5x76F | V _v < 2 V | 6.0 | 6.4 | 6.8 | | |
| | | | | V _v > 2.42 V | | 4.3 | | | |
| | | di/dt = 703 mA/μs | PFS5x77F | V _v < 2 V | 7.0 | 7.5 | 7.9 | | |
| | | | | V _v > 2.42 V | | 5.0 | | | |
| | | di/dt = 836 mA/μs | PFS5x78F | V _v < 2 V | 8.5 | 9.0 | 9.5 | | |
| | | | | V _v > 2.42 V | | 6.1 | | | |
| | | Over-Current Protection Limit¹ | I _{OCP} T _J = 25 °C | 90% Full Power | | | | | |
| di/dt = 263 mA/μs | PFS5x73F | | | V _v < 2 V | 2.6 | 2.8 | 3.1 | | |
| | | | | V _v > 2.42 V | | 1.9 | | | |
| di/dt = 393 mA/μs | PFS5x74F | | | V _v < 2 V | 4.1 | 4.4 | 4.8 | | |
| | | | | V _v > 2.42 V | | 3.0 | | | |
| di/dt = 445 mA/μs | PFS5x75F | | | V _v < 2 V | 4.5 | 4.9 | 5.3 | | |
| | | | | V _v > 2.42 V | | 3.3 | | | |
| di/dt = 564 mA/μs | PFS5x76F | | | V _v < 2 V | 5.4 | 5.9 | 6.4 | | |
| | | | | V _v > 2.42 V | | 4.0 | | | |
| di/dt = 633 mA/μs | PFS5x77F | | | V _v < 2 V | 6.3 | 6.9 | 7.4 | | |
| | | | | V _v > 2.42 V | | 4.6 | | | |
| di/dt = 752 mA/μs | PFS5x78F | | | V _v < 2 V | 7.6 | 8.3 | 8.9 | | |
| | | | | V _v > 2.42 V | | 5.6 | | | |

| Parameter | Symbol | Conditions | | | Min | Typ | Max | Units | |
|---|--|--|--|--------------------------------------|-----|-----|-----|-------|-----|
| | | SOURCE = 0 V, V _{CC} = 12 V, T _J = -40 to +125 °C (See Note C) | | | | | | | |
| Current Limit / Circuit Protection (cont.) | | | | | | | | | |
| Over-Current Protection Limit¹ | I _{OCP} T _J = 25 °C | 80% Full Power | | | | | | | A |
| | | di/dt = 234 mA/μs | PFS5x73F | V _v < 2 V | 2.4 | 2.6 | 2.8 | | |
| | | | | V _v > 2.42 V | | 1.7 | | | |
| | | di/dt = 350 mA/μs | PFS5x74F | V _v < 2 V | 3.7 | 4.1 | 4.4 | | |
| | | | | V _v > 2.42 V | | 2.7 | | | |
| | | di/dt = 395 mA/μs | PFS5x75F | V _v < 2 V | 4.1 | 4.5 | 4.8 | | |
| | | | | V _v > 2.42 V | | 3.0 | | | |
| | | di/dt = 500 mA/μs | PFS5x76F | V _v < 2 V | 4.9 | 5.4 | 5.8 | | |
| | | | | V _v > 2.42 V | | 3.6 | | | |
| | | di/dt = 562 mA/μs | PFS5x77F | V _v < 2 V | 5.8 | 6.3 | 6.7 | | |
| | | | | V _v > 2.42 V | | 4.2 | | | |
| | | di/dt = 669 mA/μs | PFS5x78F | V _v < 2 V | 7.0 | 7.6 | 8.1 | | |
| | | | | V _v > 2.42 V | | 5.1 | | | |
| | | Over-Current Protection Limit¹ | I _{OCP} T _J = 25 °C | 70% Full Power | | | | | |
| di/dt = 205 mA/μs | PFS5x73F | | | V _v < 2 V | 2.2 | 2.3 | 2.5 | | |
| | | | | V _v > 2.42 V | | 1.6 | | | |
| di/dt = 306 mA/μs | PFS5x74F | | | V _v < 2 V | 3.4 | 3.7 | 4.0 | | |
| | | | | V _v > 2.42 V | | 2.5 | | | |
| di/dt = 346 mA/μs | PFS5x75F | | | V _v < 2 V | 3.7 | 4.0 | 4.3 | | |
| | | | | V _v > 2.42 V | | 2.7 | | | |
| di/dt = 439 mA/μs | PFS5x76F | | | V _v < 2 V | 4.6 | 4.9 | 5.3 | | |
| | | | | V _v > 2.42 V | | 3.3 | | | |
| di/dt = 492 mA/μs | PFS5x77F | | | V _v < 2 V | 5.4 | 5.8 | 6.2 | | |
| | | | | V _v > 2.42 V | | 3.9 | | | |
| di/dt = 585 mA/μs | PFS5x78F | | | V _v < 2 V | 6.3 | 6.8 | 7.3 | | |
| | | | | V _v > 2.42 V | | 4.6 | | | |
| SOA Protection Fixed Off-Time | t _{OFF(SOA)} | | | T _J = 25 °C See Note A | | | 200 | 250 | 300 |
| SOA Protection Fixed On-Time | t _{ON(SOA)} | T _J = 25 °C See Note A | | | | 700 | | ns | |
| Leading Edge Blanking (LEB) Time Period | t _{LEB} | T _J = 25 °C See Note A | | | | 550 | | ns | |
| Minimum On-Time in I_{OCP} | t _{ON_OCP(MIN)} | T _J = 25 °C See Note A | | | 600 | 800 | | ns | |

| Parameter | Symbol | Conditions SOURCE = 0 V, V _{CC} = 12 V, T _j = -40 to +125 °C (See Note C) | Min | Typ | Max | Units |
|---|--|--|------|------|------|-------|
| VCC Parameters PFS527xF Parts (Parts without high voltage start-up power supply circuit) | | | | | | |
| VCC Operating Range | VCC | 0 °C < T _j < 100 °C | 7.0 | 12.0 | 35.0 | V |
| VCC Start-Up Threshold | VCC _{UV+} | 0 °C < T _j < 100 °C | | 8.7 | 8.9 | V |
| VCC Shutdown Threshold | VCC _{UV-} | 0 °C < T _j < 100 °C | 6.08 | 6.2 | | V |
| VCC UVLO Hysteresis | VCC _{HYST} | 0 °C < T _j < 100 °C | | 2.5 | | V |
| Series Regulator PFS527XF Parts | | | | | | |
| REFERENCE Pin Voltage VDR Pin Voltage | V _{REF} V _{VDR} | VCC > 6.3 V 0°C < T _j < 100 °C No external load applied on REF and VDR | | 5.25 | | V |
| VDR Pin Start-Up Threshold | V _{VDR(UV+)} | 0 °C < T _j < 100 °C | | | 5.0 | V |
| VDR UVLO Hysteresis | V _{VDR(UV)(HYST)} | See Note A | 50 | | | mV |
| VCC Parameters PFS517xF Parts (Parts with high voltage start-up power supply circuit) | | | | | | |
| VCC Operating Range | VCC | 0 °C < T _j < 100 °C | 7.0 | 12.0 | 35.0 | V |
| VCC Takes Over VDR and Reference Supply From High-Voltage Regulator From the D Pin | VCC _{TO+} | VD > 20 V, VCC rising from 0 V T _j = 25 °C | | 6.3 | | V |
| Series Regulator PFS517xF Parts | | | | | | |
| REFERENCE Pin Voltage VDR Pin Voltage (VDR and REFERENCE pin Supplied From VCC Pin) | V _{REF(VCC)} V _{VDR(VCC)} | VCC > 6.3 V, VD = 0 V to 400 V 0 °C < T _j < 100 °C | | 5.25 | | V |
| REFERENCE Pin Voltage VDR Pin Voltage (VDR and REFERENCE Pin Supplied Through High-Voltage Regulator from the D pin) | V _{REF(VD)} V _{VDR(VD)} | VCC = 0 V, VD > 20 V 0 °C < T _j < 100 °C | | 5.15 | | V |
| VDR and REFERENCE Pin Start-Up Threshold | V _{VDR(UV+)} V _{REF(UV+)} | 0 °C < T _j < 100°C See Note A | | | 5.0 | V |
| Reference VDR UVLO Hysteresis | V _{VDR(VH)(HYST)} | See Note A | 50 | | | mV |
| Time From V _{REF} > V _{REFUV+} Until Device Commences Switching | t _{RESET} | Assumes V pin is above brown-in threshold. See Note A | | 1.6 | 3 | ms |
| Valley Sensing | | | | | | |
| Valley Sensing Positive Threshold | V _{VS1} | Voltage on the VS pin rising T _j = 25 °C | | 0.88 | | V |
| Valley Sensing Negative Threshold | V _{VS2} | Voltage on the VS pin falling T _j = 25 °C | | 0.48 | | V |

| Parameter | Symbol | Conditions | | | Min | Typ | Max | Units |
|---|------------------|--|--|--|------|--------------------|------|---------|
| | | SOURCE = 0 V, $V_{CC} = 12$ V, $T_j = -40$ to $+125$ °C (See Note C) | | | | | | |
| Power Good PFS517x Parts | | | | | | | | |
| Power Good Threshold Set Reference Current (Power Good Deassertion Threshold Output Reference Current) | $I_{PG(T)}$ | 0 °C < T_j < 100 °C; $V_{PGT} = 3.0$ V | | | | -10 | | μ A |
| Power Good Delay Time (From $FB > V_{PG+}$ to $PG < 1$ V) | t_{PG} | 0 °C < T_j < 100 °C; PG = 20 k Ω pull-up to 12 V from $FB > V_{PG+}$ to $PG < 1$ V See Note A | | | | <15 | | μ s |
| Power Good State Change Deglitch Time | $t_{PG(D)}$ | $T_j = 25$ °C; Applies to rising and falling transitions on the power good comparator and detection of an open PGT pin. See Note A | | | | 81 | | μ s |
| Power Good Internal Reference Threshold (Start-up Threshold) (Power Good Internal Assertion Threshold) | V_{PG+} | 0 °C < T_j < 100 °C | | | 3.55 | 3.65 | 3.75 | V |
| Power Good Relative Threshold | $V_{PG+REL(FB)}$ | 0 °C < T_j < 100 °C | | | | $V_{FBREF} - 0.2$ | | V |
| Power Good Deassertion Threshold | $V_{PG(VOL)}$ | $V(PGT) = 3$ V 0 °C < T_j < 100 °C | | | | $V(PGT) \pm 30$ mV | | V |
| Power Good Pin Leakage Current in Off-State | $I_{PG(OFF)}$ | $FB < V_{PG(C)}$ 0 °C < T_j < 100 °C | | | | | 100 | nA |
| Power Good On-State Voltage | V_{PG-} | 0 °C < T_j < 100 °C $I_{PG} = 1.0$ mA; $FB = 3.85$ V | | | | | 2 | V |
| Thermal Protection (OTP) | | | | | | | | |
| Controller Junction Temperature for Shutdown | T_{OTP+} | Soft-shutdown is triggered when the silicon exceeds this temperature See Note A | | | | 130 | | °C |
| Controller Junction Temperature for Restart | T_{OTP-} | Restart occurs if OTP hysteresis is enabled when the silicon drops below this temperature See Note A | | | | 81 | | °C |
| Over-Temperature Hysteresis | $T_{OTP(HYST)}$ | $V > V_{BR+}$ See Note A | | | | 49 | | °C |

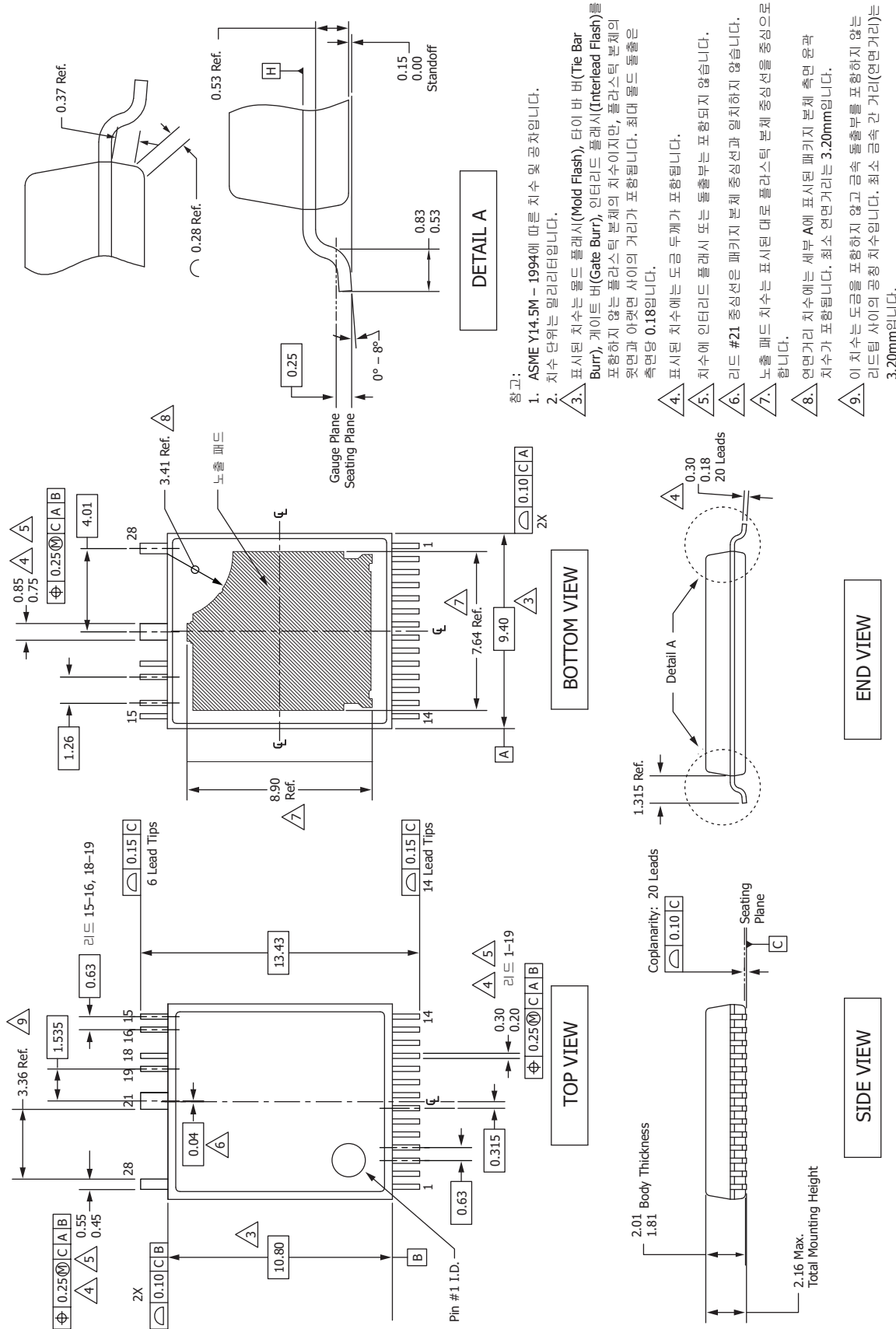
| Parameter | Symbol | Conditions | | Min | Typ | Max | Units | | | |
|--|--|---|----------------------------|--|----------|------|-------|------|--|----|
| | | SOURCE = 0 V, V _{CC} = 12 V, T _J = -40 to +125 °C (See Note C) | | | | | | | | |
| PowIGaN Cascode | | | | | | | | | | |
| On-State Resistance | $R_{DS(ON)}$ $I_D = 0.5 X$ I_{OCP} | PFS5x73F | T _{J(M)} = 25 °C | | 0.52 | 0.68 | Ω | | | |
| | | | T _{J(M)} = 100 °C | | 0.78 | 1.02 | | | | |
| | | PFS5x74F | T _{J(M)} = 25 °C | | 0.35 | 0.44 | | | | |
| | | | T _{J(M)} = 100 °C | | 0.49 | 0.62 | | | | |
| | | PFS5x75F | T _{J(M)} = 25 °C | | 0.29 | 0.39 | | | | |
| | | | T _{J(M)} = 100 °C | | 0.41 | 0.54 | | | | |
| | | PFS5x76F | T _{J(M)} = 25 °C | | 0.18 | 0.28 | | | | |
| | | | T _{J(M)} = 100 °C | | 0.27 | 0.37 | | | | |
| | | PFS5x77F | T _{J(M)} = 25 °C | | 0.145 | 0.21 | | | | |
| | | | T _{J(M)} = 100 °C | | 0.23 | 0.29 | | | | |
| | | PFS5x78F | T _{J(M)} = 25 °C | | 0.11 | 0.16 | | | | |
| | | | T _{J(M)} = 100 °C | | 0.18 | 0.22 | | | | |
| | | Charge Effective Output Capacitance | $C_{OSS(CH)}$ | T _J = 25 °C V _{GS} = 0 V, V _{DS} = 0 to 400 V See Note A | PFS5x73F | | | 26.1 | | pF |
| | | | | | PFS5x74F | | | 39.5 | | |
| PFS5x75F | | | | | 51.3 | | | | | |
| PFS5x76F | | | | | 67.1 | | | | | |
| PFS5x77F | | | | | 89.5 | | | | | |
| PFS5x78F | | | | | 123 | | | | | |
| Energy Effective Output Capacitance | $C_{OSS(EN)}$ | T _J = 25 °C V _{GS} = 0 V, V _{DS} = 0 to 400 V See Note A | PFS5x73F | | 18.1 | | pF | | | |
| | | | PFS5x74F | | 26.4 | | | | | |
| | | | PFS5x75F | | 35.6 | | | | | |
| | | | PFS5x76F | | 46.4 | | | | | |
| | | | PFS5x77F | | 62.4 | | | | | |
| | | | PFS5x78F | | 92.5 | | | | | |
| Off-State Drain Current Leakage | I_{DSS} | T _J = 100 °C V _{DS} = 80% V _{CC} = 12 V V _{FB} = V _V = V _C = 0 | PFS517xF PFS527xF | | | 100 | μA | | | |

| Parameter | Symbol | Conditions | Min | Typ | Max | Units |
|---|---------------------|--|-----|-----|------|-------|
| | | SOURCE = 0 V, V _{CC} = 12 V, T _J = -40 to +105 °C (See Note C) | | | | |
| X Capacitor Discharge XD1/XD2 Function | | | | | | |
| Supply Current | I _{SUPPLY} | T _J = 25 °C | | | 21.7 | μA |
| Saturation Current ^{A, D} | I _{DSAT} | | 2.5 | | | mA |
| AC Removal Detection Time | t _{DET} | Line Cycle Frequency 47-63 Hz | | 22 | 31.4 | ms |

NOTES:

- A. Not tested parameter. Guaranteed by design.
- B. Tested in typical boost PFC application circuit.
- C. Normally limited by internal circuitry.
- D. Saturation current specifications ensure a natural RC discharge characteristic at all voltages up to 265 VAC peak with the external resistor values specified in component selection table.

InSOP-T28F



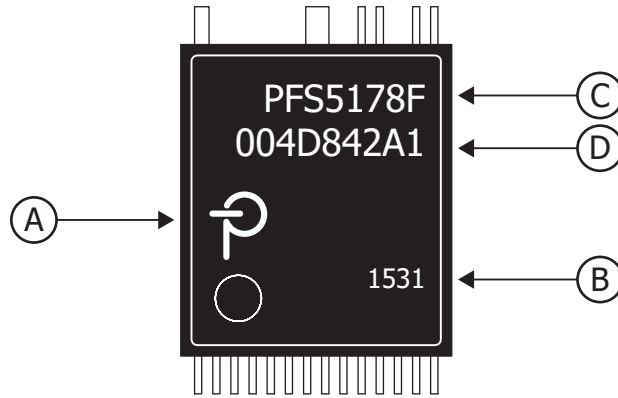
참고:
 1. ASME Y14.5M - 1994에 따른 치수 및 공차입니다.
 2. 치수 단위는 밀리미터입니다.

- 3. 표시된 치수는 몰드 플래시(Mold Flash), 타이 바 버(Burr), 게이트 버(Gate Burr), 인터리드 플래시(Interlead Flash)를 포함하지 않는 플라스틱 본체의 치수이지만, 플라스틱 본체의 윗면과 아랫면 사이의 거리가 포함됩니다. 최대 몰드 돌출은 측면당 0.18입니다.
- 4. 표시된 치수에는 도금 두께가 포함됩니다.
- 5. 치수에 인터리드 플래시 또는 돌출부는 포함되지 않습니다.
- 6. 리드 #21 중심선은 패키지가 본체 중심선과 일치하지 않습니다.
- 7. 노출 패드 치수는 표시된 대로 플라스틱 본체 중심선을 중심으로 합니다.
- 8. 연면거리 치수에는 세부 A에 표시된 패키지 본체 측면 윤곽 치수가 포함됩니다. 최소 연면거리는 3.20mm입니다.
- 9. 이 치수는 도금을 포함하지 않고 금속 돌출부를 포함하지 않는 리드탑 사이의 측정 치수입니다. 최소 금속 간 거리(연면거리)는 3.20mm입니다.

PI-9480-032823
 POD-inSOP-T28F Rev. B
 POD-inSOP-T28F_B_032823

패키지 마킹

InSOP-T28F



- A. 파워 인테그레이션스(Power Integrations) 등록 상표
- B. 조립 날짜 코드(앞 두 자리: 연도(YY), 뒤 두 자리: 작업 주(WW)), 공급망 흐름(파운드리/어셈블리 위치(X))
- C. 제품 ID(부품 번호/패키지 유형)
- D. Lot ID 코드

PI-9436-092421

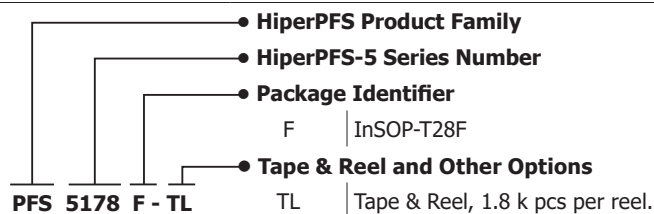
Part Ordering Table

| Part Number | Option | Quantity |
|-------------|--------|----------|
| PFS5173F-TL | Reel | 1800 |
| PFS5x74F-TL | Reel | 1800 |
| PFS5x75F-TL | Reel | 1800 |
| PFS5x76F-TL | Reel | 1800 |
| PFS5x77F-TL | Reel | 1800 |
| PFS5x78F-TL | Reel | 1800 |

MSL Table

| Part Number | MSL Rating |
|-------------|------------|
| PFS5173F-TL | 3 |
| PFS5x74F-TL | 3 |
| PFS5x75F-TL | 3 |
| PFS5x76F-TL | 3 |
| PFS5x77F-TL | 3 |
| PFS5x78F-TL | 3 |

Part Ordering Information



| 개정 | 참고 | 날짜 |
|----|--|-------|
| E | Production release. | 07/23 |
| F | PCN-24121에 따라 과전류 보호 한도(I _{ocp}) 업데이트. | 03/24 |

최신 업데이트에 대한 자세한 내용은 당사 웹사이트를 참고하십시오. www.power.com

파워 인테그레이션스(Power Integrations)는 안정성 또는 생산성 향상을 위하여 언제든지 당사 제품을 변경할 수 있는 권한이 있습니다. 파워 인테그레이션스(Power Integrations)는 본 문서에서 설명하는 디바이스나 회로 사용으로 인해 발생하는 어떠한 책임도 지지 않습니다. Power Integrations는 어떠한 보증도 제공하지 않으며 모든 보증(상품성에 대한 묵시적 보증, 특정 목적에의 적합성 및 타사 권리의 비침해를 포함하되 이에 제한되지 않음)을 명백하게 부인합니다.

특허 정보

본 문서에서 설명하는 제품 및 애플리케이션(제품의 외부 트랜스포머 구성 및 회로 포함)은 하나 이상의 미국 및 해외 특허 또는 파워 인테그레이션스(Power Integrations)에서 출원 중인 미국 및 해외 특허에 포함될 수 있습니다. 파워 인테그레이션스(Power Integrations)의 전체 특허 목록은 www.power.com에서 확인할 수 있습니다. 파워 인테그레이션스(Power Integrations)는 고객에게 www.power.com/ip.htm에 명시된 특정 특허권에 따른 라이선스를 부여합니다.

수명 유지 장치 사용 정책

파워 인테그레이션스(Power Integrations)의 제품은 파워 인테그레이션스(Power Integrations) 사장의 명백한 문서상의 허가가 없는 한 수명 유지 장치 또는 시스템의 핵심 부품으로 사용할 수 없습니다. 자세한 정의는 다음과 같습니다.

수명 유지 디바이스 또는 시스템이란 (i)신체에 대한 외과적 이식을 목적으로 하거나, (ii)수명 지원 또는 유지를 목적으로 사용되며, (iii)사용 지침에 따라 올바르게 사용하는 경우에도 동작의 실패가 사용자의 상당한 부상 또는 사망을 초래할 수 있는 디바이스 또는 시스템입니다.

핵심 부품이란 부품의 작동이 실패하여 수명 유지 디바이스 또는 시스템의 작동이 실패하거나, 해당 디바이스 또는 시스템의 안전성 및 효율성에 영향을 줄 수 있는 수명 유지 디바이스 또는 시스템에 사용되는 모든 부품입니다.

파워 인테그레이션스(Power Integrations), 파워 인테그레이션스(Power Integrations) 로고, CAPZero, ChiPhy, CHY, DPA-Switch, EcoSmart, E-Shield, eSIP, eSOP, HiperLCS, HiperPLC, HiperPFS, HiperTFS, InnoSwitch, Innovation in Power Conversion, InSOP, LinkSwitch, LinkZero, LYTSwitch, SENZero, TinySwitch, TOPSwitch, PI, PI Expert, PowiGaN, SCALE, SCALE-1, SCALE-2, SCALE-3, SCALE-iDriver는 Power Integrations, Inc.의 상표이며, 기타 상표는 각 회사의 재산입니다. ©2023, Power Integrations, Inc.

파워 인테그레이션스(Power Integrations) 전 세계 판매 지원 지역

본사

5245 Hellyer Avenue
San Jose, CA 95138, USA
본사 전화: +1-408-414-9200
고객 서비스:
전 세계: +1-65-635-64480
북미: +1-408-414-9621
이메일: usasales@power.com

중국(상하이)

Rm 2410, Charity Plaza, No. 88
North Caoxi Road
Shanghai, PRC 200030
전화: +86-21-6354-6323
이메일: chinasales@power.com

중국(셴젠)

17/F, Hivac Building, No. 2, Keji Nan
8th Road, Nanshan District,
Shenzhen, China, 518057
전화: +86-755-8672-8689
이메일: chinasales@power.com

독일

(AC-DC/LED/모터 컨트롤 판매)
Einsteinring 37
85609 Dornach/Aschheim
Germany
전화: +49-89-5527-39100
이메일: eurosales@power.com

독일(게이트 드라이버 판매)

HellwegForum 3
59469 Ense
Germany
전화: +49-2938-64-39990
이메일:
igbt-driver.sales@power.com

인도

#1, 14th Main Road
Vasanthanagar
Bangalore-560052 India
전화: +91-80-4113-8020
이메일: indiasales@power.com

이탈리아

Via Milanese 20, 3rd. Fl.
20099 Sesto San Giovanni (MI) Italy
전화: +39-024-550-8701
이메일: eurosales@power.com

일본

Yusen Shin-Yokohama 1-chome Bldg.
1-7-9, Shin-Yokohama, Kohoku-ku
Yokohama-shi,
Kanagawa 222-0033 Japan
전화: +81-45-471-1021
이메일: japansales@power.com

대한민국

RM 602, 6FL
Korea City Air Terminal B/D, 159-6
Samsung-Dong, Kangnam-Gu,
Seoul, 135-728, Korea
전화: +82-2-2016-6610
이메일: koreasales@power.com

싱가포르

51 Newton Road
#19-01/05 Goldhill Plaza
Singapore, 308900
전화: +65-6358-2160
이메일:
singaporesales@power.com

대만

5F, No. 318, Nei Hu Rd., Sec. 1
Nei Hu Dist.
Taipei 11493, Taiwan R.O.C.
전화: +886-2-2659-4570
이메일: taiwansales@power.com

영국

Building 5, Suite 21
The Westbrook Centre
Milton Road
Cambridge
CB4 1YG
전화: +44 (0) 7823-557484
이메일: eurosales@power.com